

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-071033

(43)Date of publication of application : 04.03.2004

(51)Int.Cl.

G11C 16/02

(21)Application number : 2002-227779

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 05.08.2002

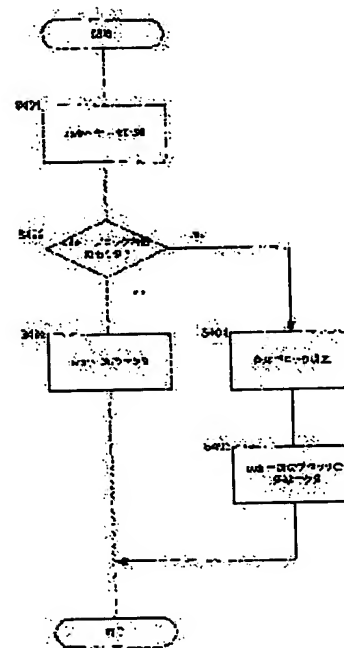
(72)Inventor : MAEDA TAKASHI

## (54) DATA WRITING METHOD FOR FLASH MEMORY

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method of writing data in a flash memory, which can improve the memory's life by leveling the erasing frequencies in every memory block without requiring to record the erasing or controlling each time.

**SOLUTION:** A plurality of the memory blocks in the flash memory constitutes a logic ring buffer. When writing data in the flash memory, data are written sequentially in the sectors beginning from the first erased sector in a block which has erased sectors. After the data are written in the last sector of this block, the data are erased in the next memory block on the ring buffer, and the data are continued and sequentially written in the sectors beginning from the first sector of the erased block.



## LEGAL STATUS

[Date of request for examination] 05.08.2002

[Date of sending the examiner's decision of rejection] 21.06.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-71033

(P2004-71033A)

(43) 公開日 平成16年3月4日(2004.3.4)

(51) Int.Cl.<sup>7</sup>  
G11C 16/02

F1

G11C 17/00 611G  
G11C 17/00 601C  
G11C 17/00 612F

テーマコード(参考)  
5B025

審査請求 有 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願2002-227779(P2002-227779)  
(22) 出願日 平成14年8月5日(2002.8.5)

(71) 出願人 000006013  
三菱電機株式会社  
東京都千代田区丸の内二丁目2番3号  
(74) 代理人 100073759  
弁理士 大岩 増雄  
(74) 代理人 100093562  
弁理士 児玉 俊英  
(74) 代理人 100088199  
弁理士 竹中 考生  
(74) 代理人 100094916  
弁理士 村上 啓吾  
(72) 発明者 前田 崇  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内  
Fターム(参考) 5B025 AA01 AD04 AD08 AE08 AF01  
AF02

(54) 【発明の名称】 フラッシュメモリのデータ記録法

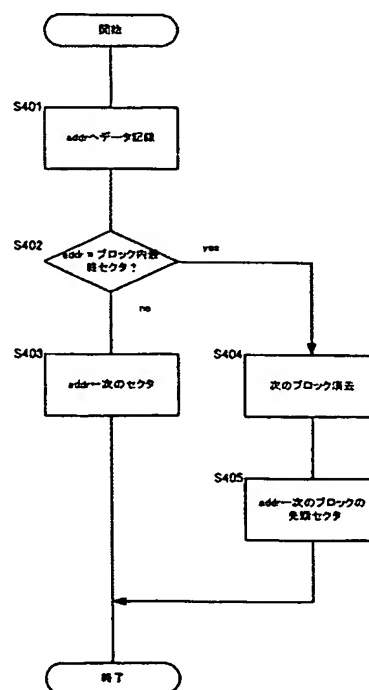
(57) 【要約】

【課題】 消去回数の記録や管理を必要とせず、フラッシュメモリの各メモリブロック毎の消去回数を平均化して長寿命化を図ることが可能なフラッシュメモリのデータ記録法を得る。

【解決手段】 フラッシュメモリ内の複数のメモリブロックが論理的なリングバッファを構成し、フラッシュメモリにデータを記録するときにはフラッシュメモリの消去済みセクタを有するメモリブロック内の先頭の消去済みセクタから順次データが記録されると共に、このメモリブロックの最終セクタにデータが記録された後にはリングバッファ上における次のメモリブロックのデータが消去され、この消去されたメモリブロックの先頭セクタから順次データの記録が継続されるようにしたものである。

【選択図】

図 4



## 【特許請求の範囲】

## 【請求項1】

複数のメモリブロックを有し、各メモリブロック内が複数のセクタに分割されたフラッシュメモリを備え、前記フラッシュメモリに記録されたデータの消去が前記メモリブロック単位でなされるものにおいて、前記フラッシュメモリ内の前記複数のメモリブロックが論理的なリングバッファを構成し、前記フラッシュメモリにデータを記録するときには前記フラッシュメモリの消去済みセクタを有するメモリブロック内の先頭の消去済みセクタから順次データが記録されると共に、このメモリブロック内の最終セクタにデータが記録された後には前記リングバッファ上における次のメモリブロックのデータが消去され、この消去されたメモリブロックの先頭セクタから順次データの記録が継続されることを特徴とするフラッシュメモリのデータ記録法。

## 【請求項2】

動作開始時に、前記リングバッファ上の前記消去済みセクタを有するメモリブロックと、このメモリブロック内の先頭の消去済みセクタとが検索され、この先頭の消去済みセクタがデータ記録の先頭セクタとして設定されることを特徴とする請求項1に記載のフラッシュメモリのデータ記録法。

## 【請求項3】

前記リングバッファが、それぞれ複数のメモリブロックを有する複数のフラッシュメモリから形成されたことを特徴とする請求項1または請求項2に記載のフラッシュメモリのデータ記録法。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

この発明は、車両用のドライブレコーダなど、最新のデータを順次記録し、記録を更新してゆく機器に使用されるフラッシュメモリに適したデータの記録法に関するものである。

## 【0002】

## 【従来の技術】

走行する車両の各種データを順次記録する装置としてドライブレコーダが知られている。このドライブレコーダは、走行する車両の状態や走行履歴などのデータを順次収集し、収集したデータを記録・更新してゆく装置であり、記録されたデータは、例えば、事故発生時において、事故状況の解析などに使用されるものである。従って、ドライブレコーダに供給される電源が停止した状態においても記録されたデータを保持しておく必要性があり、このために、記録素子として通常はフラッシュメモリなどの不揮発性のメモリが使用される。

## 【0003】

このような機器にフラッシュメモリを使用する場合、フラッシュメモリは既にデータが書き込まれている領域にはこの領域を消去した後でなければ自由にデータを書き込むことができず、データの消去を行うには特定サイズのメモリブロックを一括して消去する必要がある。また、フラッシュメモリには消去回数に制限があつて制限回数を越えた消去を行うことができず、特定のメモリブロックに集中して記録と消去とが行われた場合には、そのメモリブロックが他のメモリブロックより早く制限回数に達してしまい、フラッシュメモリ全体の有効利用が出来なくなって寿命が低下することになる。

## 【0004】

このような事態を回避する技術として、例えば、特許番号第2582487号公報が開示されている。この公報に開示された技術は、外部記憶装置が、それぞれが少なくとも一つのセクタを含む複数のメモリブロックを有するフラッシュメモリと、コマンド処理部とブロック管理手段とを備えており、ブロック管理手段が各メモリブロックの消去回数と各セクタの状況とを記録しており、コマンド処理部がブロック管理手段の記録に基づいてデータの書込や消去を行うメモリブロックを選定し、この選定による各メモリブロックや各セクタの状況変化をブロック管理手段が記録更新してゆくことにより、特定のセクタやメモ

リブロックのみが頻繁に書込や消去がなされないようにし、全てのメモリが長期間有効に使用されるようにしたものである。

#### 【0005】

##### 【発明が解決しようとする課題】

従来の技術においては上記のようにブロック管理手段がメモリブロックを管理することにより、消去回数の少ないメモリブロックが優先的に消去されるようになり、各メモリブロックの消去回数を平均化することができるが、そのために、各メモリブロック毎の消去回数を記録し、管理するブロック管理手段としてのフラッシュメモリ、もしくは、フラッシュメモリの記憶領域を必要とすると共に、書き込み不良が生じて消去回数の記録が失われた場合には消去回数の判定計算ができなくなり、消去回数の平準化がなされなくなってフラッシュメモリの長寿命化が図れないなどの欠点を有するものであった。

#### 【0006】

この発明は、このような課題を解決するためになされたもので、消去回数を別途記録するための記録領域を必要とせず、フラッシュメモリの各メモリブロック毎の消去回数を平均化して長寿命化を図ることが可能であり、車両のドライブレコーダなど、最新のデータを順次記録・更新するような機器に適したフラッシュメモリのデータ記録法を得ることを目的とするものである。

#### 【0007】

##### 【課題を解決するための手段】

この発明に係わるフラッシュメモリのデータ記録法は、複数のメモリブロックを有し、各メモリブロック内が複数のセクタに分割されたフラッシュメモリを備え、このフラッシュメモリに記録されたデータの消去がメモリブロック単位でなされるものにおいて、フラッシュメモリ内の複数のメモリブロックが論理的なリングバッファを構成し、フラッシュメモリにデータを記録するときにはフラッシュメモリの消去済みセクタを有するメモリブロック内の先頭の消去済みセクタから順次データが記録されると共に、このメモリブロック内の最終セクタにデータが記録された後にはリングバッファ上における次のメモリブロックのデータが消去され、この消去されたメモリブロックの先頭セクタから順次データの記録が継続されるようにしたものである。

#### 【0008】

また、動作開始時に、リングバッファ上の消去済みセクタを有するメモリブロックと、このメモリブロック内の先頭の消去済みセクタとが検索され、この先頭の消去済みセクタがデータ記録の先頭セクタとして設定されるようにしたものである。  
さらに、リングバッファが、それぞれ複数のメモリブロックを有する複数のフラッシュメモリから形成されるようにしたものである。

#### 【0009】

##### 【発明の実施の形態】

##### 実施の形態 1.

図1ないし図4は、この発明の実施の形態1によるフラッシュメモリのデータ記録法を説明するものであり、図1は、車両に使用されるドライブレコーダのフラッシュメモリに対するデータ記録を行う部分を抜粋して示したブロック図、図2は、フラッシュメモリ内のメモリブロックとセクタとを示す模式図、図3は、起動時に動作して消去状態にあるメモリブロック内における先頭セクタの検出法を説明するフローチャート、図4は、データ記録時の動作を説明するフローチャートである。

#### 【0010】

ドライブレコーダは図1に示すように、プログラムを実行するCPU1と、CPU1が実行するプログラムなどが記憶されているROM2と、プログラムやデータが一時記憶されるRAM3と、車両に関する状態や走行履歴などの各種のデータが記録され、この記録が順次最新のデータに更新されてゆくフラッシュメモリ4と、CPU1、ROM2、RAM3、フラッシュメモリ4のそれぞれを接続するバス5などから構成されている。

#### 【0011】



フラッシュメモリ4の記憶領域は図2に示すように複数のメモリブロック（ブロック0～ブロックm）から構成され、各ブロックは複数のセクタ（セクタ0～セクタn）から構成されている。フラッシュメモリ4に記録されたデータを消去するときにはこのメモリブロックを最小単位として消去が行われ、記録するときにはセクタを最小単位として記録がなされる。また、メモリブロックはブロックmの次がブロック0になるようにリングバッファとして構成され、この構成は複数のフラッシュメモリを使用したときも同様であり、先頭のフラッシュメモリの先頭のメモリブロックをブロック0とし、末尾のフラッシュメモリの末尾のメモリブロックをブロックmとしてリングバッファを構成する。

【0012】

このようなフラッシュメモリ4に対するデータ記録法を図3と図4のフローチャートにより説明すると次の通りである。まず、ドライブレコーダが起動すると図3のフローチャートに従ってフラッシュメモリ4の中から消去状態にある先頭のセクタが検出される。このために、まず、ステップS301においてはCPU1の内部に有するアドレス変数（addr）にフラッシュメモリ4のブロック0にあるセクタ0のアドレスをセットする。

【0013】

続くステップS302ではアドレス変数（addr）の示すセクタにデータが記録されているかどうかを検出する。例えば、消去状態にあるセクタではフラッシュメモリの特性上、全ビットが1となっているので0のビットがあればそのセクタにはデータが記録されていると判定するものである。このセクタにデータが記録されていない場合にはアドレス変数（addr）で示されているセクタ、すなわち、この場合はブロック0にあるセクタ0をデータ記録先の先頭セクタとして設定し、処理を終了する。

【0014】

ステップS302でアドレス変数（addr）の示すセクタにデータが記録されていると判定された場合にはステップS303に進み、アドレス変数（addr）の示すセクタがそのブロックの最終セクタ（セクタn）であるかどうかを判定し、最終セクタであればステップS304に進んでアドレス変数（addr）に次のブロックの先頭セクタのアドレスをセットしてステップS302に戻る。また、ステップS303の判定にて最終セクタでなければステップS305に進み、アドレス変数（addr）に次のセクタのアドレスをセットしてステップS302に戻る。

【0015】

すなわち、ステップS302にてアドレス変数（addr）の示すセクタにデータの記録があればステップS303からステップS305での検索を繰り返して先頭になるセクタを検索し、ブロックの最終セクタまで進んだ場合にはステップS304にて次のブロックに進み、次のブロックに対してもステップS305での検索を繰り返して消去状態にある最初のセクタを検出するものである。そして、ここで検出された消去状態のセクタを先頭セクタとして後述するように順次データが記録されてゆくことになる。従って、図3のフローチャートに示された先頭セクタの検索処理はドライブレコーダの起動毎に一度だけ実行すればよいことになる。

【0016】

このようにして先頭の消去済みセクタが検索された後に、このセクタを先頭にしてフラッシュメモリ4に対するデータ記録がなされるが、その記録手順は図4のフローチャートに示す通りである。図3のフローチャートにて消去状態にある最初のセクタが検出されると、このセクタが最終的にアドレス変数（addr）にセットされたセクタであるから、図4のステップS401においてはこのセクタを先頭ブロックの先頭セクタとして車両の状態や走行履歴などに関する最初のデータを記録する。

【0017】

続くステップS402ではステップS401にてデータが書き込まれたセクタがそのメモリブロック内の最終セクタであるかどうか判定される。ステップS402にて最終セクタでないと判定されるとステップS403に進み、次のセクタのアドレスをアドレス変数（addr）にセットして処理を終了し、次のデータ記録に備える。データが書き込まれ

たセクタがそのメモリブロック内の最終セクタでない限り、データ書き込み毎にステップ S 4 0 1 からステップ S 4 0 3 までのルーチンが繰り返されることになる。

【0018】

ステップ S 4 0 2 の判定にてデータが書き込まれたセクタがそのメモリブロック内の最終セクタであると判定されるとステップ S 4 0 4 に進み、ここではリングバッファ上の次のメモリブロックの記録を消去する。各メモリブロックはリングバッファを構成しているので、データ記録を完了したメモリブロックが最終ブロック（ブロック m）でない限り次のメモリブロックに進んで消去を行い、データ記録を完了したメモリブロックがブロック m である場合にはブロック 0 に戻って記録の消去を行うことになる。

【0019】

ステップ S 4 0 4 にてリングバッファ上の次のメモリブロックの記録消去が行われるとステップ S 4 0 5 に進み、アドレス変数（a d d r）にステップ S 4 0 4 にて消去が完了したメモリブロック内の先頭セクタのアドレスをセットして処理を終了し、次のデータの記録に備える。

【0020】

このように、この発明の実施の形態 1 によるフラッシュメモリのデータ記録法によれば、論理的にリングバッファ状に配列されたメモリブロックの消去セクタを有するブロックとそのブロック内の先頭消去セクタとを検索し、このセクタを先頭として順次データを記録すると共に、そのメモリブロックの最終セクタまで記録がなされると、リングバッファ上の次のメモリブロックが消去され、そのブロックの先頭セクタからデータ記録が継続されるため、リングバッファを形成するメモリブロックは消去と記録とが均等に行われることになって、フラッシュメモリ 4 の長寿命化を図ることができ、そのために消去回数の記録など、特別な処理を行う必要もない。

【0021】

また、図 3 のフローチャートに示したように、システムの起動時に最初のデータ記録先を検索し、以降は順にセクタに記録すればよいので、データ記録毎に記録先を検索する必要がなく、さらに、複数のフラッシュメモリ 4 を使用する場合においても先頭のフラッシュメモリの先頭のメモリブロックをブロック 0 とし、末尾のフラッシュメモリの末尾のメモリブロックをブロック m としてリングバッファを構成するので、単独のフラッシュメモリの場合と同様にデータを記録することができるものである。

【0022】

【発明の効果】

以上に説明したように、この発明によるフラッシュメモリのデータ記録法において、請求項 1 に記載の発明によれば、複数のメモリブロックとこのメモリブロック内が複数のセクタに分割されたフラッシュメモリを備え、フラッシュメモリ内の複数のメモリブロックが論理的なリングバッファを構成し、データを記録するときにはフラッシュメモリの消去済みセクタを有するメモリブロック内の先頭の消去済みセクタから順次データが記録され、メモリブロック内の最終セクタにデータが記録された後にはリングバッファ上における次のメモリブロックのデータが消去され、このメモリブロックの先頭セクタから順次データの記録が継続されるようにしたので、データの記録と消去とがリングバッファ上を巡回することになって、記録と消去の回数が各メモリブロック毎に平準化され、また、この平準化のために消去回数の記録や管理を必要としないので、トラブルによる平準化の崩れもなく、安定して平準化が維持できる結果、フラッシュメモリを有効に長寿命化することができるものである。

【0023】

また、請求項 2 に記載の発明によれば、請求項 1 に記載の発明において、動作開始時に、リングバッファ上の消去済みセクタを有するメモリブロックと、このメモリブロック内の先頭の消去済みセクタとを検索し、この先頭の消去済みセクタがデータ記録の先頭セクタとして設定されるようにしたので、データの記録は設定された先頭セクタから順次アドレスを進めてゆけばよく、データ記録毎に記録先のアドレス検索を行う必要がなく、動作プ

プログラムを単純化することができるものである。

【 0 0 2 4 】

さらに、請求項 3 に記載の発明によれば、請求項 1 および 2 に記載の発明において、リングバッファが、それぞれ複数のメモリブロックを有する複数のフラッシュメモリから形成されるようにしたので、記録容量を増すために複数のフラッシュメモリを使用する場合においても特別な処理を行うことなく、一つのフラッシュメモリを使用する場合と同様に記録を行うことができるものである。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 によるフラッシュメモリのデータ記録法を説明するブロックである。

【図 2】 この発明の実施の形態 1 によるフラッシュメモリのデータ記録法を説明するフラッシュメモリの模式図である。

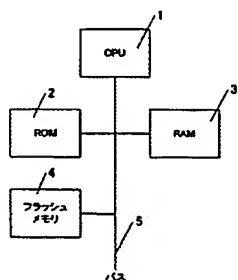
【図 3】 この発明の実施の形態 1 によるフラッシュメモリのデータ記録法の記録先検出動作を説明するフローチャートである。

【図 4】 この発明の実施の形態 1 によるフラッシュメモリのデータ記録法のデータ記録動作を説明するフローチャートである。

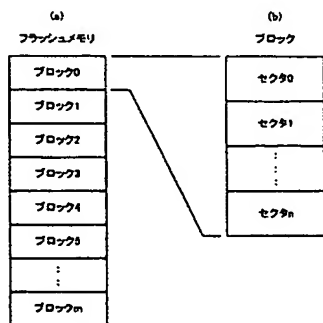
【符号の説明】

1 CPU、2 ROM、3 RAM、  
4 フラッシュメモリ、5 バス。

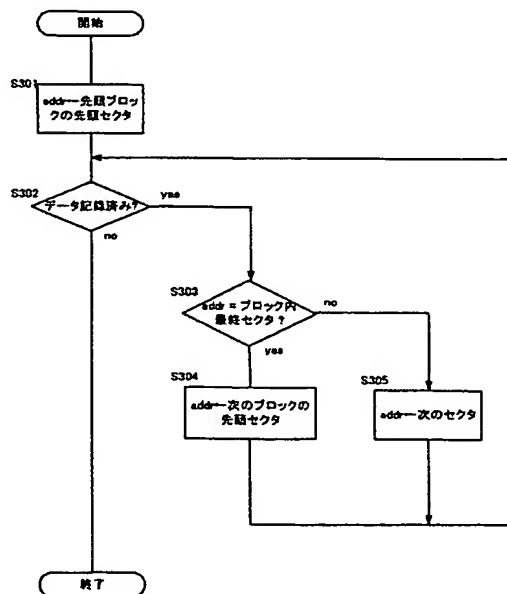
【 図 1 】



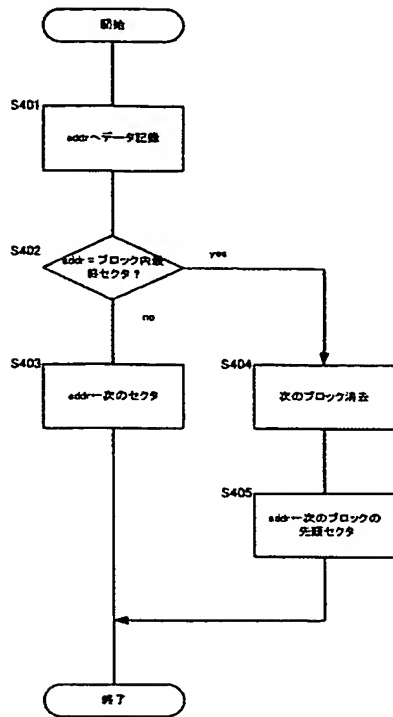
【 図 2 】



【 図 3 】



【図4】



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-278850

(43)Date of publication of application : 27.09.2002

(51)Int.Cl.

G06F 12/16  
G11C 16/02

(21)Application number : 2001-073170

(71)Applicant : NEC CORP

(22)Date of filing : 14.03.2001

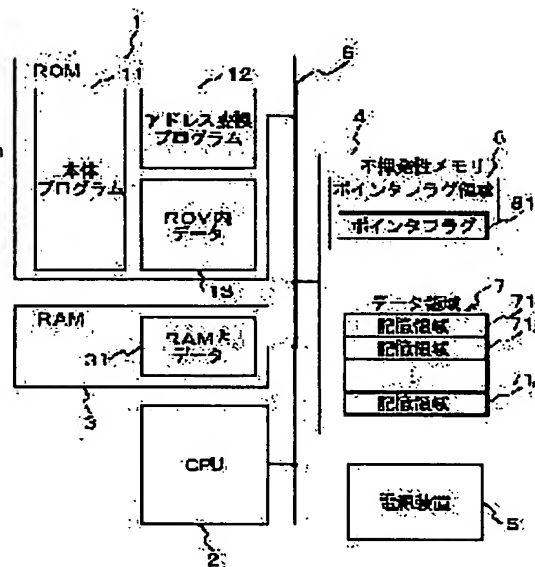
(72)Inventor : ISOGAI HIDEO

## (54) SEMICONDUCTOR DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a technique for falsely extending the life of a nonvolatile memory the number of the rewriting times of which is limited.

**SOLUTION:** This semiconductor device is provided with L nonvolatile memory (4) the number of the rewriting times of which is limited and a control unit (2). The memory (4) includes a data area (7) assigned for storing a single piece of storage data and a first pointer storage area (81) in one of the first to n-th states. The area (7) is provided with a plurality of first to n-th storage areas (711 to 71n) (n is a natural number  $\geq 2$ ). In the case of updating the storage data when the area (81) is in the i-th state (is an integer  $\geq 1$  and  $\leq 2$ ) among the first to n-th states, the unit (2) writes the storage data in the i'-th storage area (71i') among the first to n-th storage areas (711 to 71n). Furthermore, the unit 2 shifts the first pointer storage area (8) to the i'-th state among the first to n-th states. In this case,  $i'=+1$  when  $1 \leq i \leq n-1$ , and  $i'=1$  when  $i=n$ .



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-278850

(P2002-278850A)

(43) 公開日 平成14年9月27日 (2002.9.27)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード <sup>*</sup> (参考)
G 0 6 F 12/16	3 4 0	G 0 6 F 12/16	3 4 0 P 5 B 0 1 8
	3 1 0		3 1 0 A 5 B 0 2 5
G 1 1 C 16/02		G 1 1 C 17/00	6 0 1 C
			6 0 1 Q

審査請求 未請求 請求項の数24 O L (全 20 頁)

(21) 出願番号 特願2001-73170 (P2001-73170)

(22) 出願日 平成13年3月14日 (2001.3.14)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 磯貝 英夫

東京都港区芝五丁目7番1号 日本電気株

式会社内

(74) 代理人 100102864

弁理士 工藤 実 (外1名)

Fターム (参考) 5B018 GA04 HA23 LA06 NA06 QA15

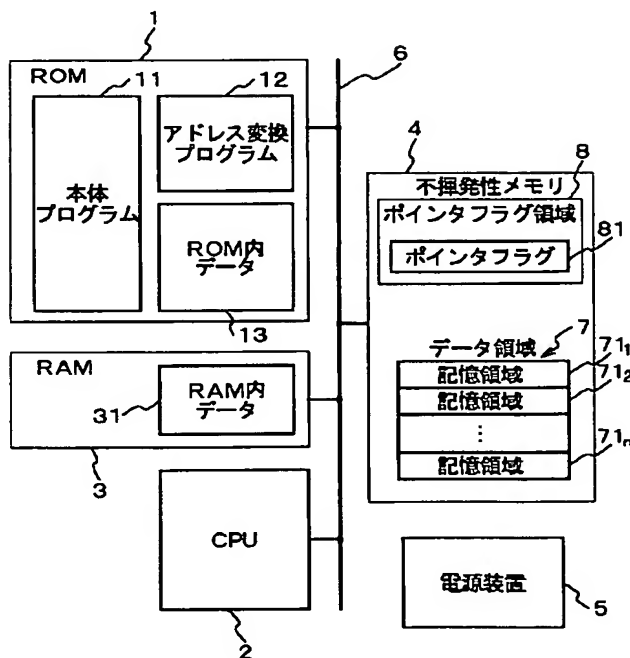
5B025 AD01 AD14 AE08

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 書き換え回数に制限がある不揮発性メモリの寿命を、擬制的に延ばす技術を提供する。

【解決手段】 本発明による半導体装置は、書き換え回数が制限されている不揮発性メモリ (4) と、制御ユニット (2) とを備えている。不揮発性メモリ (4) は、一の記憶データを記憶するために割り当てられているデータ領域 (7) と、第1～第n状態のうちのいずれかの状態にある第1ポインタ記憶領域 (81) とを含む。データ領域 (7) は、複数の第1～第n記憶領域 (71<sub>1</sub>～71<sub>n</sub>) (nは、2以上の自然数) を備えている。制御ユニット (2) は、第1ポインタ記憶領域 (81) が第1～第n状態のうちの第i'状態 (i'は、1以上n以下の整数) にあるときに前記記憶データを更新する場合、第1～第n記憶領域 (71<sub>1</sub>～71<sub>n</sub>) のうちの第i'記憶領域 (71<sub>i'</sub>) に前記記憶データを書き込む。更に、制御ユニット (2) は、第1ポインタ記憶領域 (8) を第1～第n状態のうちの第i'状態に移す。ここで、i'は、1≤i'≤n-1のとき、i'=i+1であり、i'=nのとき、i'=1である。



## 【特許請求の範囲】

【請求項1】 不揮発性メモリと、

制御ユニットとを備え、

前記不揮発性メモリは、一の記憶データを記憶するために割り当てられているデータ領域と、

第1～第n状態のうちのいずれかの状態にある第1ポインタ記憶領域とを含み、

前記データ領域は、第1～第n記憶領域（nは、2以上の自然数）を備え、

前記制御ユニットは、前記第1ポインタ記憶領域が第1～第n状態のうちの第i状態（iは、1以上n以下の整数）にあるときに前記記憶データを更新する場合、前記第1～第n記憶領域のうちの第i'記憶領域に前記記憶データを書き込み、且つ、前記第1ポインタ記憶領域を前記第1～第n状態のうちの第i'状態に遷移し、前記i'は、

$1 \leq i \leq n-1$  のとき、 $i' = i + 1$  であり、

$i = n$  のとき、 $i' = 1$  である半導体装置。

【請求項2】 請求項1に記載の半導体装置において、前記制御ユニットは、前記第1ポインタ記憶領域が第1～第n状態のうちの第j状態（jは、1以上n以下の整数）にあるときに前記記憶データを読み出す場合、前記第1～第n記憶領域のうちの第j記憶領域から前記記憶データを読み出す半導体装置。

【請求項3】 請求項1に記載の半導体装置において、前記第1ポインタ記憶領域は、第1～第n-1ビットを備え、

前記第1状態は、前記第1～第n-1ビットの全てが第1値である状態であり、

前記第2～第n-1状態のうちの第k状態（kは、2以上n-1以下の整数）は、前記第1～第n-1ビットのうちの第1～第k-1ビットが前記第1値と異なる第2値であり、且つ、第k～第n-1ビットが、前記第1値である状態であり、

前記第n状態は、前記第1～第n-1ビットの全てが前記第2値である状態である半導体装置。

【請求項4】 請求項3に記載の半導体装置において、前記第1ポインタ記憶領域は、前記制御ユニットが出す一の命令に応じて前記第1状態に遷移する半導体装置。

【請求項5】 請求項3に記載の半導体装置において、前記nは、前記制御ユニットが出す一の命令に応じて前記第1～第n-1ビットの全てが前記第1値に設定可能なように選ばれた値である半導体装置。

【請求項6】 請求項2に記載の半導体装置において、更に、前記不揮発性メモリと前記制御ユニットとに電力を供給する電力供給ユニットを備え、

前記制御ユニットは、前記第i'記憶領域に前記記憶データを書き込んだ後に、前記第1ポインタ記憶領域を前記第i'状態に遷移する半導体装置。

【請求項7】 請求項6に記載の半導体装置において、

前記第1ポインタ記憶領域は、第1～第n-1ビットを備え、

前記第1状態は、前記第1～第n-1ビットの全てが第1値である状態であり、

前記第2～第n-1状態のうちの第k状態（kは、2以上n-1以下の整数）は、前記第1～第n-1ビットのうちの第1～第k-1ビットが前記第1値と異なる第2値であり、且つ、第k～第n-1ビットが、前記第1値である状態であり、

前記第n状態は、前記第1～第n-1ビットの全てが前記第2値である状態である半導体装置。

【請求項8】 請求項7に記載の半導体装置において、前記第1ポインタ記憶領域は、前記制御ユニットが出す一の命令に応じて前記第1状態に遷移する半導体装置。

【請求項9】 請求項7に記載の半導体装置において、前記nは、前記制御ユニットが出す一の命令に応じて前記第1ビットの全てが前記第1値に設定可能なように選ばれた値である半導体装置。

【請求項10】 請求項6に記載の半導体装置において、

前記不揮発性メモリは、更に、第1～第nチェック用状態のうちのいずれかの状態をとる第2ポインタ記憶領域を含み、

前記制御ユニットは、前記第i'記憶領域に前記記憶データを書き込む前に、前記第2ポインタ記憶領域を前記第1～第nチェック用状態のうちの第i'チェック状態に遷移する半導体装置。

【請求項11】 請求項10に記載の半導体装置において、

前記制御ユニットは、前記第1ポインタ記憶領域と前記第2ポインタ記憶領域とを参照して、前記電力の供給が遮断されたか否かを検知する半導体装置。

【請求項12】 請求項10に記載の半導体装置において、

前記第2ポインタ記憶領域は、第1～第n-1チェック用ビットを備え、

前記第1チェック状態は、前記第1～第n-1チェック用ビットの全てが第3値である状態であり、

前記第2～第n-1チェック用状態のうちの第k'チェック用状態（kは、2以上n以下の整数）は、前記第1～第n-1チェック用ビットのうちの第1～第k'-1チェック用ビットが前記第3値と異なる第4値であり、且つ、第k'～第n-1チェック用ビットが前記第3値である状態であり、

前記第nチェック状態は、前記第1～第n-1チェック用ビットの全てが前記第4値である状態である半導体装置。

【請求項13】 請求項11に記載の半導体装置において、

前記第2ポインタ記憶領域は、前記制御ユニットが出す

他の一の命令に応じて前記第1チェック用状態に移する半導体装置。

【請求項14】 請求項11に記載の半導体装置において、

前記nは、前記制御ユニットが出す一の命令に応じて前記第1～第n-1チェック用ビットの全てが前記第3値に設定可能なように選ばれた値である半導体装置。

【請求項15】 請求項1に記載の半導体装置において、

前記第1ポインタ記憶領域は、第1～第nフラグを備え、

前記第1～第n状態のうちの第k'状態(k'は、1以上n以下の整数)は、前記第1～第nフラグのうちの第k'フラグのみが第5値をとり、且つ、他が第5値と異なる第6値である状態である半導体装置。

【請求項16】 (a) 不揮発性メモリのうちのデータ領域を、一の記憶データを記憶するために割り当てるステップと、ここで前記データ領域は、第1～第n記憶領域(nは、2以上の自然数)を含み、

(b) 第1ポインタ記憶領域を第1～第n状態のうちのいずれかの状態に設定するステップと、

(c) 前記記憶データを更新するステップとを実行するためのプログラムであって、

前記(c)ステップは、

(d) 前記第1ポインタ記憶領域が第1～第n状態のうちの第i状態(iは、1以上n以下の整数)にあるときに、前記第1～第n記憶領域のうちの第i'記憶領域に前記記憶データを書き込むステップと、

(e) 前記第1ポインタ記憶領域を前記第1～第n状態のうちの第i'状態に移するステップとを含み、

前記i'は、

$1 \leq i \leq n-1$ のとき、 $i' = i+1$ であり、

$i = n$ のとき、 $i' = 1$ であるプログラム。

【請求項17】 請求項16に記載のプログラムにおいて、

更に、

(f) 前記記憶データを読み出すステップを実行し、前記記憶データは、前記第1ポインタ記憶領域が第1～第n状態のうちの第j状態(jは、1以上n以下の整数)にあるとき、前記第1～第n記憶領域のうちの第j記憶領域から読み出されるプログラム。

【請求項18】 請求項16に記載のプログラムにおいて、

前記第1ポインタ記憶領域は、第1～第n-1ビットを備え、

前記第1状態は、前記第1～第n-1ビットの全てが第1値である状態であり、

前記第2～第n-1状態のうちの第k状態(kは、2以上n-1以下の整数)は、前記第1～第n-1ビットのうちの第1～第k-1ビットが前記第1値と異なる第2

値であり、且つ、前記第1～第n-1ビットのうちの第k～第n-1ビットが、前記第1値である状態であり、前記第n状態は、前記第1～第n-1ビットの全てが前記第2値である状態であるプログラム。

【請求項19】 請求項18に記載のプログラムにおいて、

前記(e)ステップは、

(g) 一の命令を出力するステップを備え、

前記第1～第n-1ビットの全ては、前記命令に回答して、前記第1値をとるプログラム。

【請求項20】 請求項16に記載のプログラムにおいて、

前記(e)ステップは、前記(f)ステップの後に行われるプログラム。

【請求項21】 請求項20に記載のプログラムにおいて、

前記(c)ステップは、

(h) 前記(e)ステップが行われる前に、第1～第nチェック用状態のうちのいずれかをとり第2ポインタ記憶領域を、前記第1～第nチェック用状態のうちの第i'チェック用状態に移するステップを含むプログラム。

【請求項22】 請求項21に記載のプログラムにおいて、

更に、

(i) 前記第1ポインタ記憶領域と前記第2ポインタ記憶領域とを参照して、前記不揮発性メモリへの電力の供給が遮断されたか否かを判断するステップを備えるプログラム。

【請求項23】 (a) 不揮発性メモリのうちのデータ領域を、一の記憶データを記憶するために割り当てるステップと、ここで前記データ領域は、第1～第n記憶領域(nは、2以上の自然数)を含み、

(b) 第1ポインタ記憶領域を第1～第n状態のうちのいずれかの状態に設定するステップと、

(c) 前記記憶データを更新するステップとを備え、前記(c)ステップは、

(d) 前記第1ポインタ記憶領域が第1～第n状態のうちの第i状態(iは、1以上n以下の整数)にあるときに、前記第1～第n記憶領域のうちの第i'記憶領域に前記記憶データを書き込むステップと、

(e) 前記第1ポインタ記憶領域を前記第1～第n状態のうちの第i'状態に移するステップとを含み、

前記i'は、

$1 \leq i \leq n-1$ のとき、 $i' = i+1$ であり、

$i = n$ のとき、 $i' = 1$ である半導体装置の動作方法。

【請求項24】 請求項23に記載の半導体装置の動作方法において、

更に、

(f) 前記記憶データを読み出すステップを備え、



前記記憶データは、前記第1ポインタ記憶領域が第1～第n状態のうちの第j状態(jは、1以上n以下の整数)にあるとき、前記第1～第n記憶領域のうちの第j記憶領域から読み出される半導体装置の動作方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関する。本発明は、特に、書換え回数に制限がある不揮発性メモリを内蔵した半導体装置に関する。

【0002】

【従来の技術】EEPROM(Electrically Erasable Programmable Read Only Memory)、フラッシュメモリ、FeRAM(Ferroelectric Random Access Memory)のような不揮発性メモリが知られている。電源の供給がなくても不揮発的にデータを保存する不揮発性メモリは、ICカードのデータの記憶装置として好適である。

【0003】このような不揮発性メモリには、現状では、書き換え回数に制限がある。EEPROMの書き換え回数は105回程度に、フラッシュメモリの書き換え回数は104回程度に、FeRAMの書き換え回数は1010回程度に、それぞれ制限されているのが現状である。

【0004】書き換え回数に基づいて記憶領域のローテーションを行うことにより、不揮発性メモリの書き換え回数の制約の問題を解決しようとするデータ管理方式が、公開特許公報(特開平5-151097)に知られている。図14は、公知のそのデータ管理方式が適用されている書換回数制限型メモリを示す。当該書換回数制限型メモリは、管理部101と制御部102と複数の記憶領域103とを備えている。管理部101は、各記憶領域103の書き換え回数を管理する。制御部102は、各記憶領域103の書き換え回数に基づいて、記憶領域103のうちからデータの書込みが行われる記憶領域を選択する。制御部102は、記憶領域103の書き換え回数を比較して最小書換数記憶領域を選択する。その最小書換数記憶領域が書換えの対象になる。

【0005】図15は、公知の書換回数制限型メモリの動作を示す。記憶領域103のうちの第1記憶領域103<sub>1</sub>が既に5回書換えられ、記憶領域103のうちの第2記憶領域103<sub>2</sub>が未使用であるとする。第1記憶領域103<sub>1</sub>と第2記憶領域103<sub>2</sub>の書き換え回数が比較され、書き換え回数が少ない第2記憶領域103<sub>2</sub>がデータ書換えの対象として選択される。第1記憶領域103<sub>1</sub>の内容が第2記憶領域103<sub>2</sub>に複写され、以後、第2記憶領域103<sub>2</sub>が使用される。第1記憶領域103<sub>1</sub>は消去される。第1記憶領域103<sub>1</sub>は、第2記憶領域103<sub>2</sub>の書き換え回数が第1記憶領域103<sub>1</sub>の書き換え回数を超えるまでは、使用されない。

【0006】このように、複数の記憶領域103のうちの最小書換数記憶領域が常に使用されるように記憶領域103のローテーションが行われる。これにより、記憶領域103が均等にアクセスされ、記憶領域103の数がNである場合には、記憶領域103の寿命がN倍になる。

【0007】公知のそのデータ管理方式では、記憶領域103のうちのいずれを書換え対象とするかを決定するために、記憶領域103の全ての書き換え回数を参照し、更に比較する必要がある。これは、書き換え対象となる記憶領域を決定する処理を複雑にする。

【0008】書き換え回数に制限がある不揮発性メモリの寿命を、擬制的に延ばす他の技術が提供されることが望まれる。とりわけ、書き換え対象となる記憶領域を簡便に決定しながら記憶領域のローテーションを行い、書き換え回数に制限がある不揮発性メモリの寿命を、擬制的に延ばす技術が提供されることが望まれる。

【0009】また、このような不揮発性メモリでは、不揮発性メモリへのアクセスが行われている間に不揮発性メモリへの電源の供給が遮断されても、不揮発性メモリに保存されているデータが破壊されないことが望まれる。不揮発性メモリがICカードのデータの記憶装置として使用される場合、電源の供給が突然断たれる事態が頻繁に発生することが想定される。例えば、接触型ICカードに不揮発性メモリが使用される場合、接触型ICカードが電源供給端子から使用者により突然引き抜かれることある。更に、電波により電源が供給される非接触型ICカードが、電波の発信器から離れると、必要な電源電圧が維持できなくなることがある。ICカードが日常生活で実際に使用される場合、このような電源の供給の遮断は、不揮発性メモリへのアクセスが行われている最中に発生することが想定される。不揮発性メモリがICカードのデータの記憶装置として使用される場合、電源の供給が遮断されても、不揮発性メモリに保存されているデータが破壊されないことが重要である。

【0010】

【発明が解決しようとする課題】本発明の目的は、書き換え回数に制限がある不揮発性メモリの寿命を、擬制的に延ばす技術を提供することにある。

【0011】本発明の他の目的は、書き換え対象となる記憶領域を簡便に決定しながら記憶領域のローテーションを行うことにより、書き換え回数に制限がある不揮発性メモリの寿命を、擬制的に延ばす技術を提供することにある。

【0012】本発明の更に他の目的は、不揮発性メモリへのアクセスが行われている間に不揮発性メモリへの電源の供給が遮断されたときに、不揮発性メモリに保存されているデータが破壊されるリスクを減少する技術を提供することにある。

【0013】本発明の更に他の目的は、不揮発性メモリ

への電源の供給が遮断されたとき、不揮発性メモリへの電源の供給が遮断されたことを検出する技術を提供することにある。

#### 【0014】

【課題を解決するための手段】その課題を解決するための手段は、下記のように表現される。その表現中に現れる技術的事項には、括弧 ( ) つきで、番号、記号等が添記されている。その番号、記号等は、本発明の複数の実施の形態のうちの、少なくとも1つの実施の形態を構成する技術的事項、特に、その実施の形態に対応する図面に表現されている技術的事項に付せられている参照番号、参照記号等に一致している。このような参照番号、参照記号は、請求項記載の技術的事項と実施の形態の技術的事項との対応・橋渡しを明確にしている。このような対応・橋渡しは、請求項記載の技術的事項が実施の形態の技術的事項に限定されて解釈されることを意味しない。

【0015】本発明による半導体装置は、不揮発性メモリ(4)と、制御ユニット(2)とを備えている。不揮発性メモリ(4)は、一の記憶データを記憶するために割り当てられているデータ領域(7)と、第1～第n状態のうちのいずれかの状態にある第1ポインタ記憶領域(81、721～72n)とを含む。データ領域(7)は、複数の第1～第n記憶領域(711～71n)(nは、2以上の自然数)を備えている。制御ユニット

(2)は、第1ポインタ記憶領域(81)が第1～第n状態のうちの第i状態(iは、1以上n以下の整数)にあるときに前記憶データを更新する場合、第1～第n記憶領域(711～71n)のうちの第i'記憶領域(71j')に前記憶データを書き込む。更に、制御ユニット(2)は、第1ポインタ記憶領域(8)を第1～第n状態のうちの第i'状態に遷移する。ここで、i'は、 $1 \leq i' \leq n-1$ のとき、 $i' = i+1$ であり、 $i = n$ のとき、 $i' = 1$ である。

【0016】当該半導体装置では、記憶データがデータ領域(7)に書込まれる場合、第1～第n記憶領域(711～71n)のうちの1が循環的に選ばれ、選ばれた一の記憶領域(71j')にその記憶データが書込まれる。これにより、データ領域(7)の書換え回数を、疑似的に、不揮発性メモリ(4)の物理的に許容される書換え回数よりも大きくすることができる。このとき、第1ポインタ記憶領域(8、721～72n)がとる状態は、第1～第n記憶領域(711～71n)のうちのいずれに書込みが行われるかを直接的に示しており、第1～第n記憶領域(711～71n)の書換え回数が記憶される必要がない。

【0017】このとき、制御ユニット(2)は、第1ポインタ記憶領域(81)が第1～第n状態のうちの第j状態(jは、1以上n以下の整数)にあるときに前記憶データを読み出す場合、第1～第n記憶領域(711

～71n)のうちの第j記憶領域(71j)から記憶データを読み出すことが望ましい。これにより、第1～第n記憶領域(711～71n)のうちの書込みが最新に行われた記憶領域から記憶データの読出しが行われる。

【0018】第1ポインタ記憶領域(81)は、第1～第n-1ビット(811～81n-1)を備えることが望ましい。このとき、前述の第1～第n状態は、第1～第n-1ビット(811～81n-1)と以下のように対応付けられていることが好ましい。

第1状態：第1～第n-1ビット(811～81n-1)の全てが第1値("0")である状態  
第k状態(kは、2以上n-1以下の整数)：第1～第n-1ビット(811～81n-1)のうちの第1～第k-1ビット(811～81k-1)が第1値("0")と異なる第2値("1")であり、且つ、第k～第n-1ビット(81k～81n-1)が、第1値("0")である状態

第n状態：第1～第n-1ビット(811～81n-1)の全てが第2値("1")である状態。

【0019】このとき、第i状態から第i+1状態への遷移は、第1～第n-1ビット(811～81n-1)のうちの第iビットを第1値("0")から第2値("1")に更新すること、又は、第1～第n-1ビット(811～81n-1)の全てを、第1値("0")にクリアすることのいずれかにより行われる。このように第1～第n-1ビット(811～81n-1)の値が定められることにより、第1～第n-1ビット(811～81n-1)のそれぞれは、記憶データがn回更新されるごとに、2回更新されることになる。従って、不揮発性メモリ(4)の書換え可能回数をNとすると、第1ポインタ記憶領域(81)は、 $[n/2] \times N$ 回だけ、その状態の変更が可能である。ここで[x]は、xを超えない最大の整数である。

【0020】このとき、第1ポインタ記憶領域(81)は、制御ユニット(2)が出す一の命令に応じて第1状態に遷移することが望ましい。これにより、第1状態に遷移するのに要する時間が短くなり、制御ユニット

(2)と不揮発性メモリ(4)とへの電源の供給が遮断され、第1ポインタ記憶領域(81)に記憶されている情報が破壊されるリスクが軽減される。

【0021】また、前記nは、制御ユニット(2)が出す一の命令に応じて第1～第n-1ビットの全てが第1値("0")に設定可能なように選ばれていることが望ましい。

【0022】当該半導体装置は、更に、不揮発性メモリ(4)と制御ユニット(2)とに電力を供給する電力供給ユニット(5)を備えることがある。このとき、制御ユニット(2)は、第i'記憶領域(71j')に記憶データを書き込んだ後に、第1ポインタ記憶領域(81)を第i'状態に遷移することが好ましい。これによ

り、第 $i'$ 記憶領域(71 $i'$ )に記憶データを書込んでいる間に、電力の供給が遮断されても、第1ポインタ記憶領域(81)に基づいて、正しく書込まれた最新の記憶データの読出しが可能である。

【0023】このとき、不揮発性メモリ(4)は、更に、第1～第 $n$ チェック用状態のうちのいずれかの状態をとる第2ポインタ記憶領域(82)を含み、制御ユニット(2)は、第 $i'$ 記憶領域(71 $i'$ )に前記記憶データを書き込む前に、第2ポインタ記憶領域(82)を第1～第 $n$ チェック用状態のうちの第 $i'$ チェック状態に遷移することが好ましい。

【0024】このとき、制御ユニット(2)は、第1ポインタ記憶領域(81)と前記第2ポインタ記憶領域(82)とを参照して、電力供給ユニット(5)からの電力の供給が遮断されたか否かを検知することが好ましい。

【0025】このとき、第2ポインタ記憶領域(82)は、第1～第 $n-1$ チェック用ビット(821～82 $n-1$ )を備えることが望ましい。このとき、前述の第1～第 $n$ チェック用状態は、第1～第 $n-1$ チェック用ビット(821～82 $n-1$ )と以下のように対応付けられていることが好ましい。

第1チェック用状態：第1～第 $n-1$ チェック用ビット(811～81 $n-1$ )の全てが第3値("0")である状態

第 $k$ チェック用状態( $k$ は、2以上 $n-1$ 以下の整数)：第1～第 $n-1$ チェック用ビット(821～82 $n-1$ )のうちの第1～第 $k-1$ チェック用ビット(821～81 $k-1$ )が第3値("0")と異なる第4値("1")であり、且つ、第 $k$ ～第 $n-1$ チェック用ビット(81 $k$ ～81 $n-1$ )が、第3値("0")である状態

第 $n$ チェック用状態：第1～第 $n-1$ チェック用ビット(811～81 $n-1$ )の全てが第2値("1")である状態

【0026】このとき、第 $i$ 状態から第 $i+1$ 状態への遷移は、第1～第 $n-1$ チェック用ビット(821～82 $n-1$ )のうちの第 $i$ チェック用ビットを第3値("0")から第4値("1")に更新すること、又は、第1～第 $n-1$ チェック用ビット(821～82 $n-1$ )の全てを、第3値("0")にクリアすることのいずれかにより行われる。このように第1～第 $n-1$ チェック用ビット(821～82 $n-1$ )の値が定められることにより、第1～第 $n-1$ チェック用ビット(821～82 $n-1$ )のそれぞれは、記憶データが $n$ 回更新されるごとに、2回更新されることになる。従って、不揮発性メモリ(4)の書換え可能回数を $N$ とすると、第2ポインタ記憶領域(82)は、 $[n/2] \times N$ 回だけ、その状態の変更が可能である。

【0027】このとき、第2ポインタ記憶領域(82)

は、制御ユニット(2)が出す他の一の命令に応じて第1チェック用状態に遷移することが望ましい。

【0028】また、前記 $n$ は、制御ユニット(2)が出す一の命令に応じて前記第1～第 $n-1$ チェック用ビットの全てが第3値("0")に設定可能なように選ばれていることが好ましい。

【0029】また、第1ポインタ記憶領域(81、721～72 $n$ )は、第1～第 $n$ フラグ(721～72 $n$ )を備え、前述の第1～第 $n$ 状態のうちの第 $k$ 状態( $k$ は、1以上 $n$ 以下の整数)は、第1～第 $n$ フラグ(721～72 $n$ )のうちの第 $k$ フラグ(72 $k$ )のみが第5値("1")をとり、且つ、他が第5値("1")と異なる第6値("0")である状態であることが望ましい。

【0030】

【発明の実施の形態】以下、添付図面を参照しながら、本発明による実施の形態の半導体装置を説明する。

【0031】実施の第1形態：図1は、本発明による実施の第1形態の半導体装置を示す。当該半導体装置は、ICカード用の半導体装置である。当該半導体装置は、ROM1、CPU2、RAM3、不揮発性メモリ4、及び電源装置5を含む。ROM1、CPU2、RAM3、及び不揮発性メモリ4は、互いに、バス6により接続されている。

【0032】ROM1、CPU2、RAM3、及び不揮発性メモリ4には、電源装置5から電源線(図示されない)を通じて電源が供給される。当該半導体装置が、非接触型ICカードに使用される場合、電源装置5としては、コイルアンテナとレギュレータとの組み合わせが選択される。当該半導体装置が、接触型ICカードに使用される場合、電源装置5としては、外部から供給される電源電圧を、当該半導体装置で使用される電源電圧に変換する電源回路が選択される。

【0033】ROM1は、本体プログラム11と、アドレス変換プログラム12と、ROM内データ13とを格納する。

【0034】本体プログラム11には、ICカードの動作が記述されている。当該半導体装置は、本体プログラム11に従って動作する。

【0035】アドレス変換プログラム12は、仮想アドレスを物理アドレスに変換するプログラムである。前述の本体プログラム11では、メモリ空間にアクセスが行われる場合、論理アドレスを使用してアドレスの指定が行われる。その論理アドレスは、アドレス変換プログラム12によって物理アドレスに変換される。ROM1、RAM2、不揮発性メモリ4のうち、その物理アドレスによって指定される部分に対して実際にアクセスが行われる。

【0036】ROM内データ13には、本体プログラム11において使用されるデータのうち、読出しのみが行

われるものが格納される。

【0037】CPU2は、本体プログラム11とアドレス変換プログラム12とを実行し、本実施の形態の半導体装置の動作を制御する。

【0038】RAM3は、RAM内データ31を格納する。RAM内データ31には、本体プログラム11において使用されるデータのうち、頻繁に書換えが行われるものが格納される。

【0039】不揮発性メモリ4には、本体プログラム11において使用されるデータのうち、不揮発的に記憶される必要があり、且つ、書換えが必要なものが書き込まれる。本体プログラム11において、論理アドレスXに、あるデータが格納されると定められたとする。その論理アドレスXが不揮発性メモリ4を指定している場合、不揮発性メモリ4のうちの一部の領域が、論理アドレスXのデータを記憶するために割り当てられる。不揮発性メモリ4のうち、本体プログラム11で使用される、ある一のデータを記憶するために割り当てられた領域を、以下では、データ領域7と記載する。本体プログラム11において複数のデータが使用される場合、それぞれに対応して、複数のデータ領域7が割り当てられる。但し、図1では、一のデータ領域7のみが図示されている。

【0040】データ領域7は、複数の記憶領域711～71nから構成されている。ここでnは、2以上の自然数である。あるデータがデータ領域7に書込まれる場合、記憶領域711～71nのうちのいずれかが循環的に選択される。記憶領域711～71nのうちの選択された記憶領域に、データ領域7に記憶されるデータが書込まれる。一方、あるデータがデータ領域7から読み出される場合、記憶領域711～71nのうちの最も新しく書込みが行われた記憶領域から、データが読み出される。

【0041】不揮発性メモリ4の他の一部は、ポインタフラグ領域8に割り当てられている。ポインタフラグ領域8には、ポインタフラグ81が記憶される。不揮発性メモリ4に、複数のデータ領域7が設けられると、それぞれのデータ領域7に対応して、一のポインタフラグ81が設けられる。図1では、一のポインタフラグ81のみが図示されている。ポインタフラグ81は、記憶領域711～71nのうちのいずれに対してアクセスが行われるかを指定する。

【0042】ポインタフラグ81は、図2に示されているように、n-1個のビット811～81n-1で構成されている。ここで、nは、前述の記憶領域711～71nの数である。ポインタフラグ81を構成するビット811～81n-1の数は、記憶領域711～71nの数よりも1だけ少ない。以下では、ポインタフラグ81のビット81kは、添字kが小さい程、下位のビットであると表現される。

【0043】n-1個のビットで構成されているポインタフラグ81は、状態1～状態nのいずれかの状態をとる。状態1は、ビット811～81n-1の全てが0である状態である。状態2は、ビット811が"1"であり、残りのビット812～81n-1が"0"である状態である。以下同様に、状態kは、ビット811～81k-1が"1"であり、残りのビット81k～81n-1が"0"である状態である。ここで、kは、1以上n以下の整数である。但し、k=nについて、状態nは、ビット811～81k-1の全てが"1"である状態である。

【0044】ポインタフラグ81がいずれの状態にあるかに応じて、記憶領域711～71nのうちのいずれに対してアクセスが行われるかが指定される。データ領域7に記憶されているデータがアクセスされる場合、前述のアドレス変換プログラム12によってポインタフラグ81が参照され、記憶領域711～71nのうちのいずれに対してアクセスが行われるかが選択される。更に、選択された記憶領域の物理アドレスがアドレス変換プログラム12によって算出され、不揮発性メモリ4のうち、その物理アドレスが示す部分に対してアクセスが行われる。

【0045】ポインタフラグ81の状態と、アクセスが行われる記憶領域との対応は、以下のとおりである。ポインタフラグ81が状態1にある場合、データの読出しは記憶領域711から行われ、データの書込みは、記憶領域712に対して行われる。ポインタフラグ81が状態2にある場合、データの読出しは記憶領域712から行われ、データの書込みは、記憶領域713に対して行われる。以下同様に、ポインタフラグ81が状態kにある場合、データの読出しは記憶領域71kから行われ、データの書込みは、記憶領域71k+1に対して行われる。但し、ポインタフラグ81が状態nにある場合には、データの書込みは記憶領域711に対して行われる。

【0046】記憶領域711～71nの数nは、ポインタフラグ81に含まれるn-1個のビット811～81n-1の全てが、CPU2が出す一の命令により"0"にクリアできるように選ばれている。このことは、後述されるように、電源装置5から当該半導体装置の各部への電源の供給が突如遮断されたときに、不揮発性メモリ4に記憶されているデータが破壊されないために重要な役割を果たす。

【0047】続いて、本実施の形態の半導体装置の動作を説明する。

【0048】まず、データ領域7へのデータの書込み動作について説明する。以下の説明において、データ領域7は、メモリ空間の論理アドレスXのデータを記憶するために割り振られているとする。更に、論理アドレスXのデータとして最初に保存されるデータをデータ1と記

載する。

【0049】論理アドレスXのデータとして、データ領域7に最初に書込まれるデータ1は、無条件に、記憶領域711に書込まれる。データ1が記憶領域711に書込まれた後、ポインタフラグ81は、状態1に設定される。即ち、ポインタフラグ81に含まれているビット811~81nの全てが"0"に設定される。図3(a)は、データ1の書き込み処理が完了した後の、データ領域7とポインタフラグ81との状態を示している。

【0050】その後に論理アドレスXのデータが更新される場合、アドレス変換プログラム12によってポインタフラグ81が参照され、ポインタフラグ81が状態1~状態nのうちのいずれにあるかが判断される。ポインタフラグ81が状態kにあると判断されると(kは、1以上n以下の整数)、論理アドレスXのデータとしてデータ領域7に保存されるべきデータは、記憶領域711~71nのうちの記憶領域71k+1に書込まれる。その後、ポインタフラグ81が状態kから状態k+1に遷移する。但し、ポインタフラグ81が状態nにあるときに、論理アドレスXのデータが更新される場合、論理アドレスXのデータとしてデータ領域7に保存されるべきデータは、記憶領域711に書込まれ、ポインタフラグ81は、状態nから状態1に遷移する。

【0051】以上の過程を図3を参照しながら、より具体的に説明する。前述のとおり、論理アドレスXのデータとして最初に保存されるデータ1は、図3(a)に示されているように、記憶領域711に書込まれる。データ1が記憶領域711に書込まれると、ポインタフラグ81が状態1に設定される。

【0052】論理アドレスXのデータが、データ1からデータ2に更新される場合、アドレス変換プログラム12によってポインタフラグ81が参照される。このとき、ポインタフラグ81は、状態1にある。従って、図3(b)に示されているように、記憶領域712がデータ2の書き込み先として選択される。データ2は、選択された記憶領域712に書込まれる。

【0053】続いて、ポインタフラグ81のうちのビット811が"0"から"1"に書換えられる。即ち、ポインタフラグ81は、状態1から状態2に遷移する。図3(b)は、ポインタフラグ81が書換えられた後の、データ領域7とポインタフラグ81との状態を示す。

【0054】論理アドレスXのデータがデータ2からデータ3に更新される際も同様に、図3(c)に示されているように、記憶領域713にデータ3が書込まれ、その書き込みの後、ポインタフラグ81は、状態3に遷移する。

【0055】以後、論理アドレスXのデータが、データ3から、データ4、データ5、…、データnに順次に更新されると、更新後のデータ4、データ5、…、データnは、それぞれ記憶領域714、記憶領域715、…、

記憶領域71nに書込まれる。ポインタフラグ81も同様に、状態4、状態5、…、状態nに順次に遷移する。データnの書き込み処理が完了した後では、ポインタフラグ81は状態nにある。

【0056】更に続いて、論理アドレスXのデータがデータnからデータ(n+1)に更新される場合、図3(d)に示されているように、ポインタフラグ81は状態nにある。従って、図3(e)に示されているように、記憶領域711がデータ(n+1)の書き込み先として選択される。データ(n+1)は、記憶領域711に書込まれ、ポインタフラグ81が状態nから状態1に遷移される。

【0057】このように、論理アドレスXのデータの更新がある毎に、記憶領域711~71nのうちのいずれかが循環的に選択され、選択された記憶領域に、論理アドレスXのデータとして保存されるべきデータが書込まれる。このように、書込まれる記憶領域711~71nが循環的に選択されることにより、論理アドレスXのデータの書換え回数は、見かけ上、不揮発性メモリ4が物理的に許容されている書き込み回数よりも大きくなる。

【0058】図4は、論理アドレスXのデータが更新されるときに、データ領域7に対して行われる書き込み動作の詳細を示すフローチャートである。前述のアドレス変換プログラム12には、図4のフローチャートに示されている動作を実行するプログラムが記載されている。CPU2は、アドレス変換プログラム12に基づいて、図4のフローチャートに示されている動作を行う。

【0059】まず、ビット811~81n-1のそれぞれについて、"0"であるか否かが判断される。その判断は、下位であるビット811から順次に行われる(ステップS01)。

【0060】続いて、ビット811~81n-1に、"0"であるビットが含まれているか否かが判断される(ステップS02)。

【0061】ビット811~81n-1のいずれかに"0"が設定されている場合、下記条件を満たすiが決定される(ステップS03)。iは、"0"が設定されている最下位のビットの位置を示す。条件:ビット811~81n-1のうちのビット811~81i-1が"1"であり、残りのビット81i~81n-1が"0"である。但し、ビット811~81n-1の全てが"0"である場合、i=1であると考えることとする。このようにして決定されたiは、1以上n-1以下の整数のいずれかである。

【0062】ビット811~81i-1が"1"であり、残りのビット81i~81n-1が"0"であることは、ポインタフラグ81が状態iにあることを意味する。ポインタフラグ81が状態iにあると判断されると、記憶領域711~71nのうちの記憶領域71i+1が書き込み先として選択される。選択された記憶領

域 $71_{i+1}$ の物理アドレスが算出され、不揮発性メモリ4のその物理アドレスが示す領域に、論理アドレスXの更新後のデータが書込まれる(ステップS03)。

【0063】その後、ビット $81_1 \sim 81_{n-1}$ のうちのビット $81_{i+1}$ が"0"から"1"に更新される(ステップS04)。これにより、ポインタフラグ81は、状態 $i$ から状態 $i+1$ に遷移する。以上で、論理アドレスXのデータの更新の処理が終了する。

【0064】一方、ステップS02において、ビット $81_1 \sim 81_{n-1}$ の全てが"1"であり、"0"であるものが発見されない場合、記憶領域 $71_1 \sim 71_n$ のうちの先頭の記憶領域 $71_1$ が書き込み先として選択される。これは、ポインタフラグ81が状態 $n$ にあるときは、記憶領域 $71_1$ が書き込み先として選択されることを意味する。選択された記憶領域 $71_1$ の物理アドレスが算出され、不揮発性メモリ4のその物理アドレスが示す領域に、論理アドレスXの更新後のデータが書込まれる(ステップS05)。

【0065】その後、ポインタフラグ81に含まれるビット $81_1 \sim 81_{n-1}$ の全てが、"0"にクリアされる(ステップS06)。ビット $81_1 \sim 81_{n-1}$ のクリアは、CPU2が出す一の命令に応じて、一括して行われる。CPU2は、アドレス変換プログラム12によってビット $81_1 \sim 81_{n-1}$ のクリアを行うことを指示されると、不揮発性メモリ4に、ビット $81_1 \sim 81_{n-1}$ のクリアを行うことを指示する一の命令を出す。その一の命令に応じて、不揮発性メモリ4は、ビット $81_1 \sim 81_{n-1}$ の全てを"0"にクリアする。このように、ビット $81_1 \sim 81_{n-1}$ のクリアは、一の命令によって一括して行われる。

【0066】続いて、上述のようにして論理アドレスXのデータが書込まれたデータ領域7からのデータが読み出される動作を説明する。

【0067】図5は、データ領域7からデータが読み出される動作を示す図である。論理アドレスXのデータが読み出される場合、まず、アドレス変換プログラム12によってポインタフラグ81が参照され、ポインタフラグ81が状態1～状態 $n$ のうちのいずれにあるかが判断される。

【0068】ポインタフラグ81が状態1～状態 $n$ のうちの状態 $j$ にあると判断されると( $j$ は、1以上 $n$ 以下の整数)、論理アドレスXのデータとして、記憶領域 $71_1 \sim 71_n$ のうちの記憶領域 $71_j$ に記憶されているデータが読み出される。前述のとおり、記憶領域 $71_j$ に書き込みが行われた直後に、ポインタフラグ81は状態 $j$ に更新されるから、記憶領域 $71_j$ に書込まれているデータは、論理アドレスXの最新のデータである。ポインタフラグ81が状態 $j$ にあるときに記憶領域 $71_j$ からデータが読み出されることにより、論理アドレスXの最新のデータが適切に読み出されることになる。

【0069】図5(a)に示されているように、ポインタフラグ81に含まれるビット $81_1 \sim 81_{n-1}$ がいずれも"0"である場合、ポインタフラグ81は状態1にある。このときに、論理アドレスXのデータがデータ領域7から読み出される場合、記憶領域 $71_1$ が読み出し元として選択される。選択された記憶領域 $71_1$ から論理アドレスXのデータが読み出される。

【0070】同様に、図5(b)に示されているように、ポインタフラグ81に含まれるビット $81_1 \sim 81_{n-1}$ のうちのビット $81_1$ のみが"1"であり、ビット $81_2 \sim 81_{n-1}$ が"0"である場合には、ポインタフラグ81は状態2にある。この場合、記憶領域 $71_2$ が読み出し元として選択され、記憶領域 $71_2$ から論理アドレスXのデータが読み出される。

【0071】図5(c)～図5(e)に示されているように、ポインタフラグ81が他の状態にある場合も同様にして読み出しが行われる。

【0072】図6は、論理アドレスXのデータがデータ領域7から読み出される動作の詳細を示すフローチャートである。前述のアドレス変換プログラム12には、図6のフローチャートに示されている動作を実行するプログラムが記載されている。CPU2は、アドレス変換プログラム12に基づいて、図6のフローチャートに示されている動作を行う。

【0073】まず、ビット $81_1 \sim 81_{n-1}$ のそれぞれについて、"1"であるか否かが判断される(ステップS11)。その判断は、上位であるビット $81_{n-1}$ から順次に行われる。

【0074】続いて、ビット $81_1 \sim 81_{n-1}$ に、"1"であるビットが含まれているか否かが判断される(ステップS12)。

【0075】ビット $81_1 \sim 81_{n-1}$ のいずれかに"1"が設定されている場合、下記条件を満たす $j'$ が決定される(ステップS13)。 $j'$ は、"1"が設定されているビットのうちの最上位であるビットの位置を示している。条件：ビット $81_1 \sim 81_{n-1}$ のうちのビット $81_{j'+1} \sim 81_{n-1}$ が"0"であり、残りのビット $81_1 \sim 81_{j'}$ が"1"である。但し、ビット $81_1 \sim 81_{n-1}$ の全てが"1"である場合、 $j' = n-1$ であると考えることとする。このようにして決定された $j'$ は、1以上 $n-1$ 以下の整数のいずれかである。

【0076】決定された $j'$ から、ポインタフラグ81は状態 $j (= j' + 1)$ にあると判断される。ポインタフラグ81が状態 $j$ にあると判断されると、記憶領域 $71_1 \sim 71_n$ のうちの記憶領域 $71_j$ が読み出し元として選択される。選択された記憶領域 $71_j$ の物理アドレスが算出され、不揮発性メモリ4のその物理アドレスが示す領域から、論理アドレスXのデータが読み出される(ステップS13)。以上で、論理アドレスXのデータ



の読出し処理が完了する。

【0077】一方、ステップS12において、ビット81<sub>1</sub>～81<sub>n-1</sub>の全てが“0”であり、“1”であるものが発見されない場合、記憶領域71<sub>1</sub>～71<sub>n</sub>のうちの先頭の記憶領域71<sub>1</sub>が読出し元として選択される。これは、ポインタフラグ81が状態1にあるときは、記憶領域71<sub>1</sub>が読出し元として選択されることを意味する。選択された記憶領域71<sub>1</sub>の物理アドレスが算出され、不揮発性メモリ4のその物理アドレスが示す領域から、論理アドレスXのデータが読み出される。

(ステップS14)。以上で、論理アドレスXのデータの読出し処理が完了する。

【0078】以上に説明されているように、本実施の形態の半導体装置では、不揮発性メモリ4にあるデータが保存される場合、そのデータを保存するためにデータ領域7が確保される。確保されたデータ領域7は、n個の記憶領域71<sub>1</sub>～71<sub>n</sub>から構成される(nは、2以上の自然数)。当該データが更新され、更新後のデータがデータ領域7に保存される場合、記憶領域71<sub>1</sub>～71<sub>n</sub>のうちの一が、循環的に書込み先として選択される。選択された記憶領域に、当該データが書込まれる。

【0079】このとき、ポインタフラグ81の状態は、記憶領域71<sub>1</sub>～71<sub>n</sub>の選択に対応して、第1～第n状態の間を循環的に遷移する。記憶領域71<sub>1</sub>～71<sub>n</sub>の選択が一巡する間に、ビット81<sub>1</sub>～81<sub>n-1</sub>のそれぞれは2回書換えられる。従って、不揮発性メモリ4の書換え可能回数をNとすると、ポインタフラグ81は、 $\lfloor n/2 \rfloor \times N$ 回だけ、その状態の変更が可能である。ここで $\lfloor x \rfloor$ は、xを超えない最大の整数である。

【0080】このように、本実施の形態の半導体装置では、データ領域7に記憶されているデータを $\lfloor n/2 \rfloor \times N$ 回だけ更新可能であり、データ領域7に記憶されているデータの書換え可能な回数は、不揮発性メモリ4が物理的に許容される書換え回数よりも大きい。

【0081】更に、本実施の形態の半導体装置は、不揮発性メモリ4へのアクセスが行われる間に、電源装置5から当該半導体装置の各部への電源の供給が突如遮断されても、不揮発性メモリ4に記憶されているデータが破壊されるリスクが小さい。

【0082】まず、ポインタフラグ81が、状態1～状態n-1のいずれかにある場合に、データ領域7への書込みが行われる場合について考察する。ポインタフラグ81が、状態1～状態n-1のうちの状態iにあるとする。この時点において最新のデータは、記憶領域71<sub>i</sub>に記憶されている。この状態からデータ領域7に保存されるべきデータが更新され、データ領域7への書込みが行われる場合、まず、記憶領域71<sub>i+1</sub>に更新後のデータが書込まれる。続いて、ポインタフラグ81のビット81<sub>i</sub>が“0”から“1”に更新され、ポインタフラグ81が状態iから状態i+1に遷移される。

【0083】このとき、図7(a)に示されているように、記憶領域71<sub>i+1</sub>への書込みが行われている間に、電源装置5からの電源の供給が遮断され、記憶領域71<sub>i+1</sub>への書込みが正常に行われなかったとする。図7(a)では、i=2である場合のポインタフラグ81とデータ領域7とが図示されている。この場合、ポインタフラグ81は、状態iの状態のままに保たれる。従って、その後、データ領域7からデータが読み出される場合、記憶領域71<sub>i</sub>からデータが読み出され、書込みが正常に行われた最新のデータが読み出される。

【0084】更に、図7(b)に示されているように、ポインタフラグ81のビット81<sub>i</sub>が“0”から“1”に更新される際に、電源装置5からの電源の供給が遮断されたとする。この場合、ポインタフラグ81のビット81<sub>i</sub>は“1”と“0”とのいずれになるかは確率的に定まる。

【0085】ポインタフラグ81のビット81<sub>i</sub>が“1”に確定した場合には、結果として、正常に書込み処理が行われたことになる。従って、何ら問題が生じない。

【0086】一方、ポインタフラグ81のビット81<sub>i</sub>が“0”に確定した場合には、書込み処理が正常に行われなかったことになる。しかし、ポインタフラグ81は、状態iに維持される。従って、その後、データ領域7からデータが読み出される場合、記憶領域71<sub>i</sub>からデータが読み出され、書込み処理が正常に行われた最新のデータが読み出されることになる。

【0087】このように、ポインタフラグ81のビット81<sub>i</sub>が“1”と“0”とのうちのいずれに確定しても、書込みが正常に行われた最新のデータが読み出し可能である。

【0088】続いて、ポインタフラグ81が、状態nにある場合に、データ領域7への書込みが行われる場合について考察する。ポインタフラグ81が、状態nにある場合、記憶領域71<sub>1</sub>が書込み先として選択され、書込みが行われる。記憶領域71<sub>1</sub>への書込みが行われている間に、電源装置5からの電源の供給が遮断され、記憶領域71<sub>1</sub>への書込みが正常に行われなかった場合、ポインタフラグ81は、状態nの状態のままに保たれる。その後に、データ領域7からデータが読み出される場合、記憶領域71<sub>n</sub>からデータが読み出される。従って、この場合も、書込みが正常に行われた最新のデータが読み出し可能である。

【0089】記憶領域71<sub>1</sub>への書込みの後、ポインタフラグ81の全てのビット81<sub>1</sub>～81<sub>n</sub>は、“0”にクリアされる。これにより、ポインタフラグ81は、状態nから状態1に遷移する。このとき、“0”へのクリアは、CPU2の一の命令に応じて一括して行われる。従って、“0”へのクリアの際に、ポインタフラグ81の内容が破壊されるリスクは、極めて小さい。

【0090】このように、ポインタフラグ81が、状態1～状態nのいずれの状態にある場合にデータ領域7への書き込みが行われても、本実施の形態の半導体装置は、不揮発性メモリ4に記憶されているデータが破壊されるリスクが小さい。

【0091】実施の第2形態：図8は、本発明の実施の第2形態の半導体装置を示す。実施の第2形態は、ポインタフラグ81に加え、電断チェック用ポインタフラグ82がポインタフラグ領域8に更に格納される点で、実施の第1形態の半導体装置と異なる。実施の第2形態の半導体装置では、電断チェック用ポインタフラグ82の使用により、データ領域7へのデータの書き込み動作中に当該半導体装置の各部への電源の供給が遮断されたことが検出可能である。

【0092】更に、実施の第2形態の半導体装置は、ROM2に格納されている本体プログラム11とアドレス変換プログラム12の内容が修正されている。この修正は、ポインタフラグ領域8に電断チェック用ポインタフラグ82が更に格納されることに対応している。

【0093】実施の第2形態の半導体装置の他の部分の構成は、実施の第1形態の半導体装置の構成と同じである。

【0094】図9は、電断チェック用ポインタフラグ82の構成を示す。電断チェック用ポインタフラグ82は、 $n-1$ 個の電断チェック用ビット821～82 $n-1$ で構成されている。ここで、 $n$ は、前述されるように、データ領域7を構成する記憶領域711～71 $n$ の数である。前述されるように、 $n$ は、ポインタフラグ81に含まれる $n-1$ 個のビット811～81 $n-1$ の全てが、CPU2が出す一の命令により一括して“0”にクリアできるように選ばれている。電断チェック用ポインタフラグ82に含まれる $n-1$ 個の電断チェック用ビット821～82 $n-1$ は、同様に、CPU2が出す一の命令により一括して“0”にクリアされることが可能である。

【0095】電断チェック用ポインタフラグ82は、ポインタフラグ81と同様に、状態1～状態nのうちのいずれかの状態をとる。状態1は、電断チェック用ビット821～82 $n-1$ の全てが0である状態である。状態2は、電断チェック用ビット821が“1”であり、残りの電断チェック用ビット822～82 $n-1$ が“0”である状態である。以下同様に、状態 $k$ は、電断チェック用ビット821～82 $k-1$ が“1”であり、残りの電断チェック用ビット82 $k$ ～82 $n-1$ が“0”である状態である。ここで、 $k$ は、1以上 $n$ 以下の整数である。但し、 $k=n$ について、状態 $n$ は、電断チェック用ビット821～82 $k-1$ の全てが“1”である状態である。

【0096】ポインタフラグ81と、電断チェック用ポインタフラグ82とは、通常の状態では、いずれも同一

の状態に保持されている。しかし、データ領域7への書き込みの処理の最中に、電源の供給が遮断されると、ポインタフラグ81と、電断チェック用ポインタフラグ82との状態に食い違いが生じる。後述されるように、この食い違いから、電源の供給が遮断されたことが検出される。

【0097】続いて、実施の第2形態の半導体装置の動作を説明する。

【0098】まず、データ領域7へのデータの書き込み動作について説明する。以下の説明において、データ領域7は、メモリ空間の論理アドレスXのデータを記憶するために割り振られているとする。更に、論理アドレスXのデータとして最初に保存されるデータをデータ1と記載する。

【0099】論理アドレスXのデータとして最初に保存されるデータ1がデータ領域7に書き込まれる場合、以下の書き込み処理が行われる。まず、電断チェック用ポインタフラグ82が状態1に設定される。即ち、電断チェック用ビット821～82 $n-1$ が全て“0”に設定される。続いて、データ1がデータ領域7に書き込まれる。論理アドレスXのデータとして、データ領域7に最初に書き込まれるデータ1は、無条件に、記憶領域711に書き込まれる。データ1が記憶領域711に書き込まれた後、ポインタフラグ81が、状態1に設定される。即ち、ポインタフラグ81に含まれているビット811～81 $n$ の全てが“0”に設定される。図10(a)は、データ1の書き込み処理が完了した後の、データ領域7とポインタフラグ81と電断チェック用ポインタフラグ82との状態を示している。

【0100】その後論理アドレスXのデータが更新される場合、以下に記載された更新処理が行われる。まず、アドレス変換プログラム12によってポインタフラグ81と電断チェック用ポインタフラグ82とが参照され、ポインタフラグ81と電断チェック用ポインタフラグ82とが状態1～状態nのうちのいずれにあるかが判断される。ポインタフラグ81と電断チェック用ポインタフラグ82とは、通常、一致した状態にある。ポインタフラグ81と電断チェック用ポインタフラグ82とが状態 $k$ にあると判断された場合( $k$ は、1以上 $n$ 以下の整数)、記憶領域711～71 $n$ のうちの記憶領域71 $k+1$ が、更新後のデータの書き込み先として選択される。

【0101】続いて、電断チェック用ポインタフラグ82が、状態 $k$ から状態 $k+1$ に遷移される。より詳細には、電断チェック用ポインタフラグ82の電断チェック用ビット82 $k$ が“0”から“1”に遷移される。但し、ポインタフラグ81と電断チェック用ポインタフラグ82とが状態 $n$ にあるときは、電断チェック用ポインタフラグ82は、状態 $n$ から状態1に遷移される。即ち、ポインタフラグ81と電断チェック用ポインタフラ



グ 8 2 とが状態  $n$  にあるときは、電断チェック用ビット 8 2 1 ~ 8 2  $n-1$  は、全て、" 0 " にクリアされる。

【0102】続いて、論理アドレス  $X$  の更新後のデータが、記憶領域 7 1 1 ~ 7 1  $n$  のうちの記憶領域 7 1  $k+1$  に書込まれる。但し、ポインタフラグ 8 1 が状態  $n$  にあるときに、論理アドレス  $X$  のデータが更新される場合、論理アドレス  $X$  のデータとしてデータ領域 7 に保存されるべきデータは、記憶領域 7 1 1 に書込まれる。

【0103】その後、ポインタフラグ 8 1 が状態  $k$  から状態  $k+1$  に遷移される。より詳細には、ポインタフラグ 8 1 のビット 8 1  $k$  が " 0 " から " 1 " に遷移される。但し、ポインタフラグ 8 1 が状態  $n$  にあるときには、ポインタフラグ 8 1 は、状態  $n$  から状態 1 に遷移する。即ち、ポインタフラグ 8 1 が状態  $n$  にあるときは、8 1 1 ~ 8 1  $n-1$  は、全て、" 0 " にクリアされる。

【0104】以上で、論理アドレス  $X$  のデータの更新処理が完了する。

【0105】以上の過程をより具体的に説明する。前述のとおり、論理アドレス  $X$  のデータとして最初に保存されるデータ 1 は、図 10 (a) に示されているように、記憶領域 7 1 1 に書込まれる。ポインタフラグ 8 1 と電断チェック用ポインタフラグ 8 2 は、いずれも、状態 1 に設定される。

【0106】論理アドレス  $X$  のデータが、データ 1 からデータ 2 に更新される場合、以下に記載された処理が行われる。まず、アドレス変換プログラム 1 2 によってポインタフラグ 8 1 と電断チェック用ポインタフラグ 8 2 とが参照される。ポインタフラグ 8 1 と電断チェック用ポインタフラグ 8 2 とは、いずれも、状態 1 にあると判断される。記憶領域 7 1 1 ~ 7 1  $n$  のうちの記憶領域 7 1 2 が書込み先として選択される。続いて、図 10

(b) に示されているように、電断チェック用ポインタフラグ 8 2 の電断チェック用ビット 8 2 1 が、" 0 " から " 1 " に更新される。即ち、電断チェック用ポインタフラグ 8 2 が状態 1 から状態 2 に遷移される。次に、図 10 (c) に示されているように、書込み先として選択された記憶領域 7 1 2 に、データ 2 が書込まれる。続いて、図 10 (d) に示されているように、ポインタフラグ 8 1 のビット 8 1 1 が、" 0 " から " 1 " に更新される。即ち、ポインタフラグ 8 1 が状態 1 から状態 2 に遷移される。以上で、データ 2 の書込み処理が完了する。

【0107】以後、論理アドレス  $X$  のデータが、データ 3、…、データ  $n$  に順次に更新されると、上記の過程と同様にして、電断チェック用ポインタフラグ 8 2 が、順次に、状態 3、状態 4、…、状態  $n$  に遷移される。更新後のデータ 3、データ 4、…、データ  $n$  は、それぞれ記憶領域 7 1 3、記憶領域 7 1 4、…、記憶領域 7 1  $n$  に書込まれる。更に、ポインタフラグ 8 1 は、状態 3、状態 4、…、状態  $n$  に順次に遷移される。データ  $n$  の書込

み処理が完了した後では、図 11 (a) に示されているように、データ  $n$  が記憶領域 7 1  $n$  に書込まれ、ポインタフラグ 8 1 と電断チェック用ポインタフラグ 8 2 とは状態  $n$  にある。

【0108】更に続いて、論理アドレス  $X$  のデータが、データ  $n$  からデータ  $(n+1)$  に更新される場合、まず、ポインタフラグ 8 1 と電断チェック用ポインタフラグ 8 2 とが参照される。ポインタフラグ 8 1 と電断チェック用ポインタフラグ 8 2 とは状態  $n$  にあると判断される。このとき、記憶領域 7 1 1 ~ 7 1  $n$  のうちの記憶領域 7 1 1 が書込み先として選択される。続いて、図 11 (b) に示されているように、電断チェック用ポインタフラグ 8 2 の電断チェック用ビット 8 2 1 ~ 8 2  $n-1$  が、全て " 0 " にクリアされ、電断チェック用ポインタフラグ 8 2 は、状態  $n$  から状態 1 に遷移される。更に続いて、図 11 (c) に示されているように、書込み先として選択された記憶領域 7 1 1 に、データ  $(n+1)$  が書込まれる。続いて、図 11 (d) に示されているように、ポインタフラグ 8 1 のビット 8 1 1 ~ 8 1  $n-1$  が、全て " 0 " にクリアされる。即ち、ポインタフラグ 8 1 が状態  $n$  から状態 1 に遷移される。以上で、データ  $(n+1)$  の書込み処理が完了する。

【0109】続いて、上述のようにして論理アドレス  $X$  のデータが書込まれたデータ領域 7 からのデータが読み出される動作を説明する。

【0110】論理アドレス  $X$  のデータが読み出される場合、まず、アドレス変換プログラム 1 2 によってポインタフラグ 8 1 が参照され、ポインタフラグ 8 1 が状態 1 ~ 状態  $n$  のうちのいずれにあるかが判断される。このとき、電断チェック用ポインタフラグ 8 2 は、参照されない。前述のとおり、電断チェック用ポインタフラグ 8 2 は、記憶領域 7 1 1 ~ 7 1  $n$  へのデータの書込みの前に更新される。記憶領域 7 1 1 ~ 7 1  $n$  へのデータの書込みの間に電源装置 5 から電源の供給が遮断されると、書込みが正常に行われた最新の論理アドレス  $X$  のデータが記憶領域 7 1 1 ~ 7 1  $n$  のいずれに記憶されているかを電断チェック用ポインタフラグ 8 2 が示さない場合が発生する。従って、論理アドレス  $X$  のデータが読み出し時には、電断チェック用ポインタフラグ 8 2 は、参照されない。

【0111】ポインタフラグ 8 1 が状態 1 ~ 状態  $n$  のうちの状態  $j$  にあると判断されると ( $j$  は、1 以上  $n$  以下の整数)、論理アドレス  $X$  のデータとして、記憶領域 7 1 1 ~ 7 1  $n$  のうちの記憶領域 7 1  $j$  に記憶されているデータが読み出される。ポインタフラグ 8 1 の状態に基づいて、論理アドレス  $X$  のデータが読み出される過程は、実施の第 1 形態と同じであり、その詳細な説明は行わない。

【0112】本実施の形態の本体プログラム 1 1 とアドレス変換プログラム 1 2 とには、上述された動作を実行

するプログラムが記載されている。CPU2は、本体プログラム11とアドレス変換プログラム12に基づいて、上述された動作を実行する。

【0113】実施の第2形態の半導体装置は、実施の第1形態の半導体装置と同様に、不揮発性メモリ4にあるデータが保存される場合、そのデータを保存するためにデータ領域7が確保される。確保されたデータ領域7は、 $n$ 個の記憶領域711~71 $n$ から構成される( $n$ は、2以上の自然数)。当該データが更新され、記憶領域711~71 $n$ のうちの1が、循環的に書き込み先として選択される。選択された記憶領域に、当該データが書き込まれる。これにより、当該データの更新可能回数は、擬制的に、不揮発性メモリ4の物理的な書き換え可能回数よりも大きくなる。

【0114】更に、本実施の形態の半導体装置は、実施の第1形態の半導体装置と同様に、不揮発性メモリ4へのアクセスが行われる間に、電源装置5から当該半導体装置の各部への電源の供給が突如遮断されても、不揮発性メモリ4に記憶されているデータが破壊されるリスクが小さい。

【0115】更に、本実施の形態の半導体装置は、データ領域7への書き込み処理の間に電源装置5からの電源の供給が遮断されると、電源の供給の遮断が発生したことが検出可能である。電断チェック用ポインタフラグ82の更新、記憶領域711~71 $n$ への書き込み、及びポインタフラグ81の更新が行われている間に、電源装置5からの電源の供給が遮断されると、ポインタフラグ81の状態と電断チェック用ポインタフラグ82の状態とに食い違いが発生する。電源装置5からの電源の供給が再開されると、CPU2は、本体プログラム11に従って、ポインタフラグ81の状態と、電断チェック用ポインタフラグ82の状態とが一致しているか否かを判断する。ポインタフラグ81の状態と電断チェック用ポインタフラグ82の状態とが一致していないことから、CPU2は、データ領域7への書き込み処理の間に電源装置5からの電源の供給が遮断されたことを検出する。このように、本実施の形態の半導体装置は、電源の供給の遮断の発生が検出可能である。

【0116】実施の第3形態：図12は、本発明による実施の第3形態の半導体装置を示す。実施の第3形態の半導体装置では、ポインタフラグ領域8が不揮発性メモリ4に設けられていない。その代りに、実施の第3形態の半導体装置では、データ領域7の記憶領域711~71 $n$ にフラグ721~72 $n$ がそれぞれ追加される。フラグ721~72 $n$ は、それぞれ、1ビットのデータを記憶する。フラグ721~72 $n$ が追加されたデータ領域7は、以後、データ領域7'と記載される。また、フラグ721~72 $n$ の全体は、フラグ組72と記載される。

【0117】更に、実施の第3形態の半導体装置は、R

OM2に格納されている本体プログラム11とアドレス変換プログラム12の内容が修正されている。この修正は、データ領域7の記憶領域711~71 $n$ にフラグ721~72 $n$ がそれぞれ追加されていることに対応している。

【0118】フラグ721~72 $n$ は、データ領域7'の記憶領域711~71 $n$ のいずれに対してアクセスが行われるかを指定する。フラグ721~72 $n$ は、いずれか1のみが"1"に設定され、他は、"0"に設定される。フラグ721~72 $n$ がとる値の組み合わせの数は、 $n$ 個ある。即ち、フラグ組72が取り得る状態は、 $n$ 個ある。

【0119】フラグ721~72 $n$ が保持する値と、アクセスが行われる記憶領域との対応は、以下のとおりである。フラグ721~72 $n$ のうちのフラグ721が"1"であるとき、データの読出しは記憶領域711から行われ、データの書き込みは記憶領域712に対して行われる。フラグ721~72 $n$ のうちのフラグ722が"1"であるとき、データの読出しは記憶領域712から行われ、データの書き込みは記憶領域713に対して行われる。以下同様に、フラグ721~72 $n$ のうちのフラグ72 $k$ が"1"である場合、データの読出しは記憶領域71 $k$ から行われ、データの書き込みは、記憶領域71 $k+1$ に対して行われる。但し、フラグ721~72 $n$ のうちのフラグ72 $n$ が"1"である場合、データの書き込みは記憶領域711に対して行われる。

【0120】続いて、実施の第3形態の半導体装置の動作を説明する。

【0121】まず、データ領域7'へのデータの書き込み動作について説明する。以下の説明において、データ領域7'は、メモリ空間の論理アドレスXのデータを記憶するために割り振られているとする。更に、論理アドレスX'のデータとして最初に保存されるデータをデータ1と記載する。

【0122】論理アドレスXのデータとして最初に保存されるデータ1がデータ領域7'に書き込まれる場合、以下の書き込み処理が行われる。まず、データ1は、無条件に、記憶領域711に書き込まれる。データ1が記憶領域711に書き込まれた後、フラグ721が"1"に設定され、フラグ722~72 $n$ は、"0"に設定される。図13(a)は、データ1の書き込み処理が完了した後の、データ領域7'の状態を示している。

【0123】その後論理アドレスXのデータが更新される場合、以下に記載された更新処理が行われる。まず、アドレス変換プログラム12によってフラグ721~72 $n$ が参照され、フラグ721~72 $n$ のうちのいずれかが"1"であるかが判断される。フラグ721~72 $n$ のうちのフラグ72 $k$ が"1"である場合( $k$ は、1以上 $n$ 以下の整数)、記憶領域711~71 $n$ のうちの記憶領域71 $k+1$ が、更新後のデータの書き込み先と

して選択される。但し、フラグ72<sub>n</sub>が"1"である場合には、記憶領域71<sub>1</sub>が更新後のデータの書き込み先として選択される。

【0124】続いて、論理アドレスXの更新後のデータが、選択された記憶領域71<sub>k+1</sub>に書き込まれる。但し、フラグ72<sub>n</sub>が"1"である場合には、論理アドレスXの更新後のデータは、選択されている記憶領域71<sub>1</sub>に書き込まれる。

【0125】その後、フラグ71<sub>k</sub>が"1"から"0"に更新され、フラグ71<sub>k+1</sub>が、"0"から"1"に更新される。但し、フラグ72<sub>n</sub>が"1"であった場合には、フラグ71<sub>1</sub>が、"0"から"1"に更新される。

【0126】以上で、論理アドレスXのデータの更新処理が完了する。

【0127】以上の過程をより具体的に説明する。前述のとおり、論理アドレスXのデータとして最初に保存されるデータ1は、図13(a)に示されているように、記憶領域71<sub>1</sub>に書き込まれる。フラグ72<sub>1</sub>が"1"に設定され、フラグ72<sub>2</sub>~72<sub>n</sub>は、"0"に設定される。

【0128】論理アドレスXのデータが、データ1からデータ2に更新される場合、以下に記載された処理が行われる。まず、フラグ72<sub>1</sub>~72<sub>n</sub>が参照される。フラグ72<sub>1</sub>が"1"であり、フラグ72<sub>2</sub>~72<sub>n</sub>が"0"であることが検出される。記憶領域71<sub>1</sub>~71<sub>n</sub>のうちの記憶領域71<sub>2</sub>が書き込み先として選択される。書き込み先として選択された記憶領域71<sub>2</sub>に、データ2が書き込まれる。続いて、フラグ72<sub>1</sub>が"0"に更新され、フラグ72<sub>2</sub>が"1"に更新される。以上で、論理アドレスXのデータが、データ1からデータ2に更新される更新処理が完了する。図13(b)は、更新処理が完了したときの、データ領域7'とフラグ72<sub>1</sub>~72<sub>n</sub>との状態を示す。

【0129】以後、論理アドレスXのデータが、データ2から、データ3、…、データnに順次に更新されると、更新後のデータ3、データ4、…、データnは、それぞれ記憶領域71<sub>3</sub>、記憶領域71<sub>4</sub>、…、記憶領域71<sub>n</sub>に書き込まれる。更に、フラグ72<sub>1</sub>~72<sub>n</sub>のうちの"1"をとるものは、フラグ72<sub>3</sub>、フラグ72<sub>4</sub>、…、フラグ72<sub>n</sub>に順次に変更される。論理アドレスXのデータがデータnに更新される更新処理が完了した後では、図13(c)に示されているように、データnが記憶領域71<sub>n</sub>に書き込まれ、フラグ72<sub>1</sub>~72<sub>n</sub>のうちフラグ72<sub>n</sub>が"1"に設定され、他のフラグ72<sub>1</sub>~72<sub>n-1</sub>は、"0"に設定される。

【0130】更に続いて、論理アドレスXのデータが、データnからデータ(n+1)に更新される場合、フラグ72<sub>1</sub>~72<sub>n</sub>が参照され、記憶領域71<sub>1</sub>~71<sub>n</sub>のうちの記憶領域71<sub>1</sub>が書き込み先として選択される。

書き込み先として選択された記憶領域71<sub>1</sub>に、データ(n+1)が書き込まれる。続いて、フラグ72<sub>1</sub>が"1"に更新され、フラグ72<sub>n</sub>が"0"に更新される。以上で、論理アドレスXのデータが、データnからデータ(n+1)に更新される更新処理が完了する。図13(d)は、更新処理が完了したときの、データ領域7'と、フラグ72<sub>1</sub>~72<sub>n</sub>との状態を示す。

【0131】続いて、上述のようにして論理アドレスXのデータが書き込まれたデータ領域7'からデータが読み出される動作を説明する。

【0132】論理アドレスXのデータが読み出される場合、まず、アドレス変換プログラム12によってフラグ72<sub>1</sub>~72<sub>n</sub>が参照される。フラグ72<sub>1</sub>~72<sub>n</sub>のうちのいずれかが"1"であるかが判断される。このとき、フラグ72<sub>1</sub>~72<sub>n</sub>のうちのフラグ72<sub>k</sub>が"1"であると判断されると、論理アドレスXのデータとして、記憶領域71<sub>1</sub>~71<sub>n</sub>のうちの記憶領域71<sub>k</sub>に記憶されているデータが読み出される。以上で、データ領域7'からデータが読み出される動作が完了する。

【0133】本実施の形態の本体プログラム11とアドレス変換プログラム12とは、上述された動作を実行するプログラムが記載されている。CPU2は、本体プログラム11とアドレス変換プログラム12に基づいて、上述された動作を実行する。

【0134】実施の第3形態の半導体装置は、実施の第1及び第2形態の半導体装置と同様に、不揮発性メモリ4にあるデータが保存される場合、そのデータを保存するためにデータ領域7が確保される。確保されたデータ領域7は、n個の記憶領域71<sub>1</sub>~71<sub>n</sub>から構成される(nは、2以上の自然数)。当該データが更新される場合、記憶領域71<sub>1</sub>~71<sub>n</sub>のうちの1が、循環的に書き込み先として選択される。選択された記憶領域に、当該データが書き込まれる。これにより、当該データの更新可能回数は、擬制的に、不揮発性メモリ4の物理的な書換え可能回数よりも大きくなる。

【0135】

【発明の効果】本発明により、書き換え回数に制限がある不揮発性メモリの寿命を、擬制的に延ばす技術が提供される。

【0136】また、本発明により、書換え対象となる記憶領域を簡便に決定しながら記憶領域のローテーションを行うことにより、書き換え回数に制限がある不揮発性メモリの寿命を、擬制的に延ばす技術が提供される。

【0137】また、本発明により、不揮発性メモリへのアクセスが行われている間に不揮発性メモリへの電源の供給が遮断されたときに、不揮発性メモリに保存されているデータが破壊されるリスクを減少する技術が提供される。

【0138】また、本発明により、不揮発性メモリへの電源の供給が遮断されたとき、不揮発性メモリへの電源

の供給が遮断されたことを検出する技術が提供される。

【図面の簡単な説明】

【図1】図1は、本発明の実施の第1形態の半導体装置を示す。

【図2】図2は、ポインタフラグ81の構成と、ポインタフラグ81が取り得る状態を示す。

【図3】図3は、実施の第1形態の半導体装置で行われる、データ領域7の更新処理を示す。

【図4】図4は、データ領域7の更新処理の詳細を示すフローチャートである。

【図5】図5は、データ領域7からデータを読み出すための読出し処理を示す。

【図6】図6は、データ領域7からデータを読み出すための読出し処理の詳細を示すフローチャートである。

【図7】図7(a)、(b)は、それぞれ、データ領域7の更新時、ポインタフラグ81の更新時に、電源の供給が遮断されたときのデータ領域7及びポインタフラグ81の状態を示す図である。

【図8】図8は、実施の第2形態の半導体装置を示す。

【図9】図9は、電断チェック用ポインタフラグ82の構成を示す。

【図10】図10は、実施の第2形態の半導体装置で行われる、データ領域7の更新処理を示す。

【図11】図11は、実施の第2形態の半導体装置で行われる、データ領域7の更新処理を示す。

【図12】図12は、実施の第3形態の半導体装置を示す。

【図13】図13は、実施の第3形態の半導体装置で行われる、データ領域7の更新処理を示す。

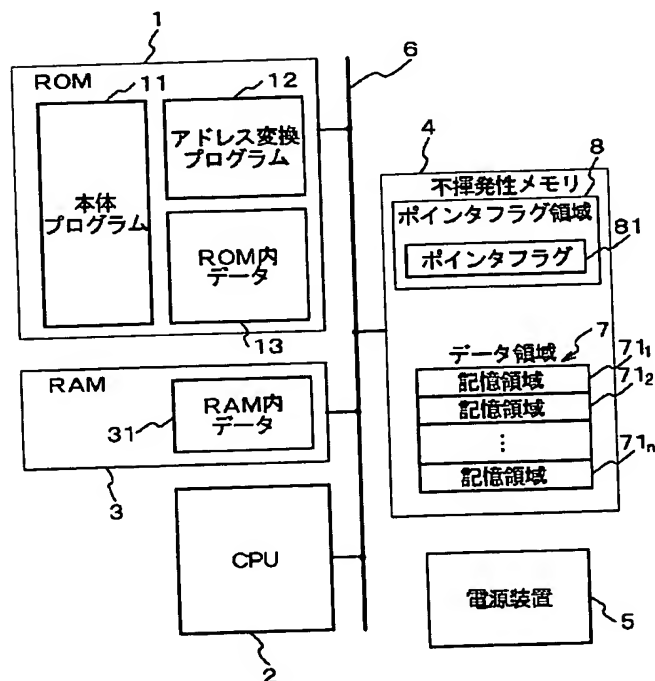
【図14】図14は、従来の半導体装置を示す。

【図15】図15は、従来の半導体装置の動作を示す。

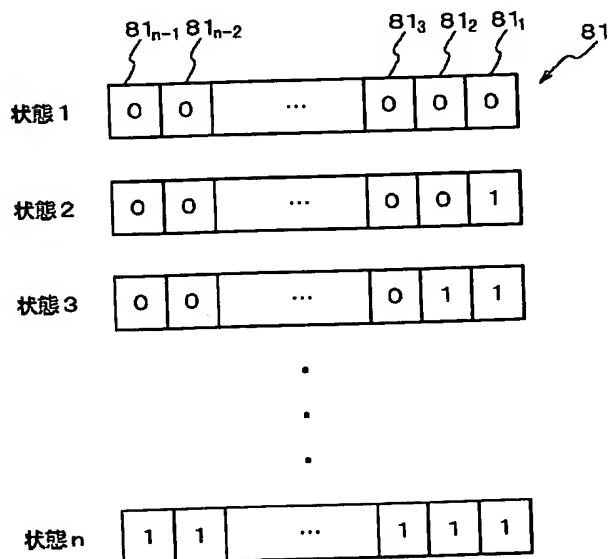
【符号の説明】

- 1 : ROM
- 2 : CPU
- 3 : RAM
- 4 : 不揮発性メモリ
- 5 : 電源装置
- 6 : バス
- 7、7' : データ領域
- 8 : ポインタフラグ領域
- 11 : 本体プログラム
- 12 : アドレス変換プログラム
- 13 : ROM内データ
- 711~71n : 記憶領域
- 721~72n : フラグ
- 81 : ポインタフラグ
- 811~81n-1 : ビット
- 82 : 電断チェック用ポインタフラグ
- 821~82n-1 : 電断チェック用ビット

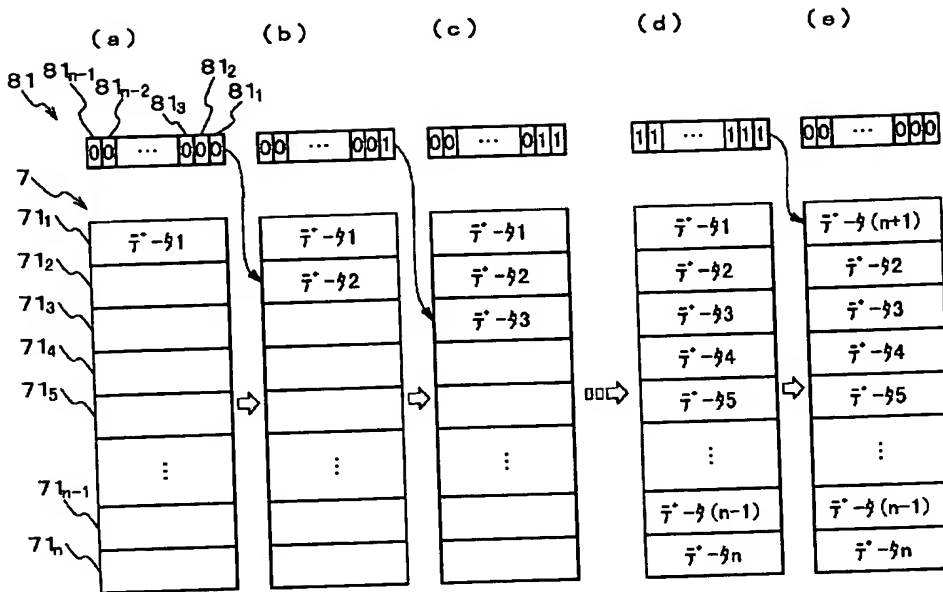
【図1】



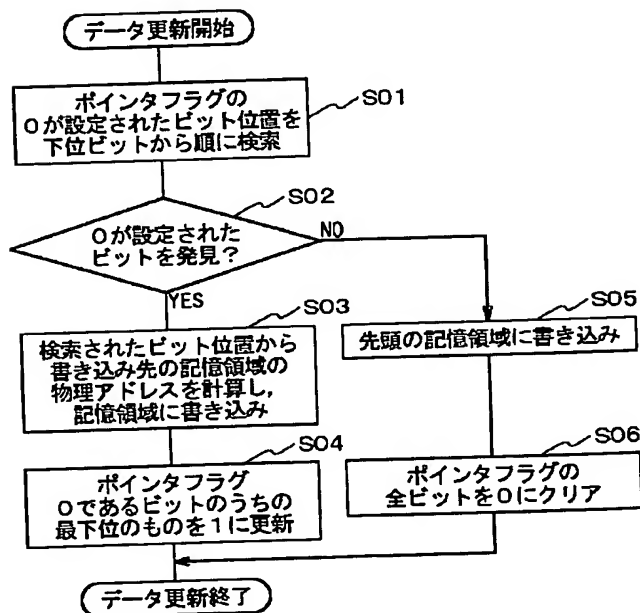
【図2】



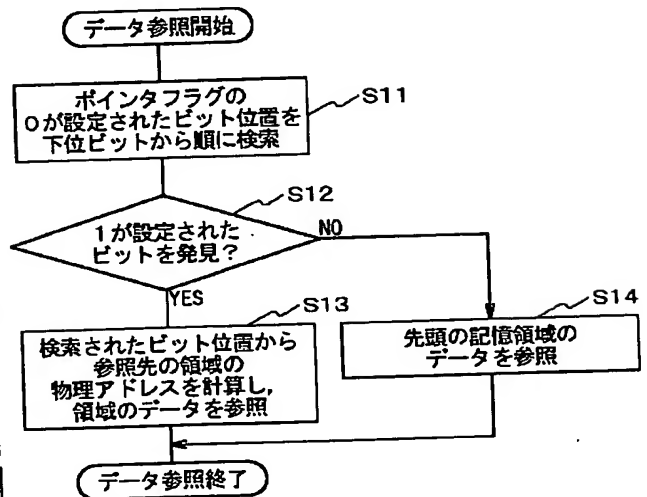
【図3】



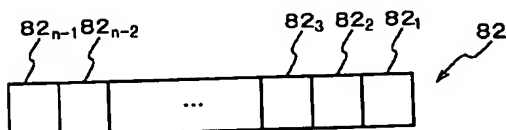
【図4】



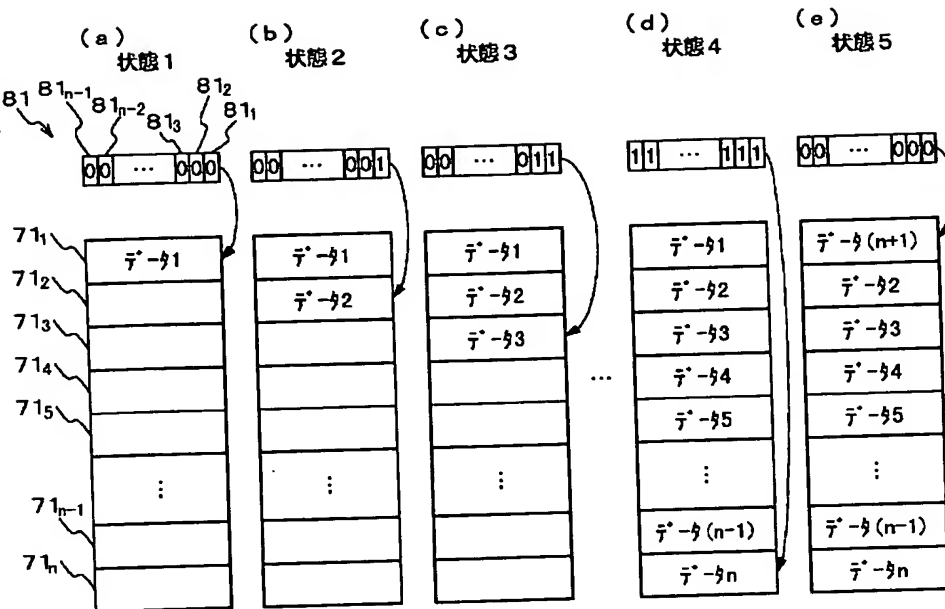
【図6】



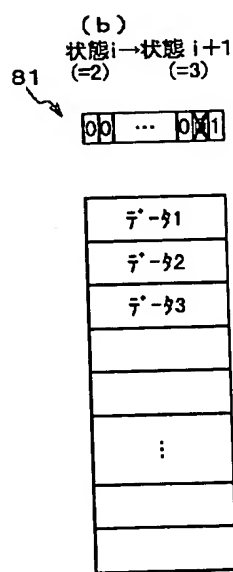
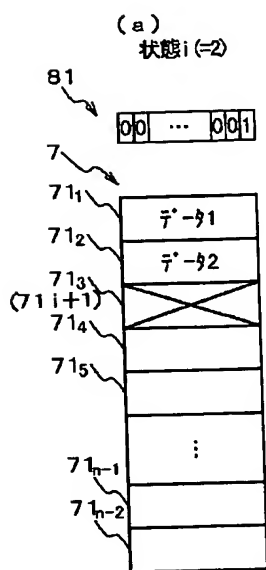
【図9】



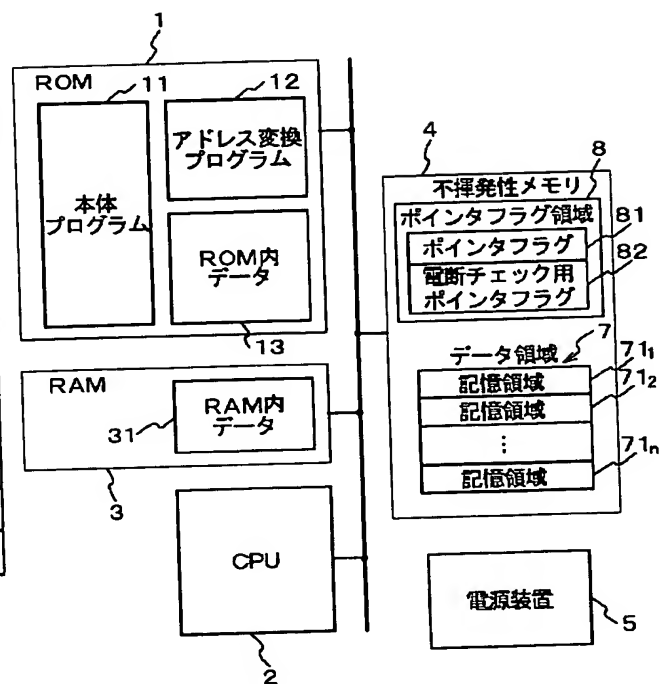
【図5】



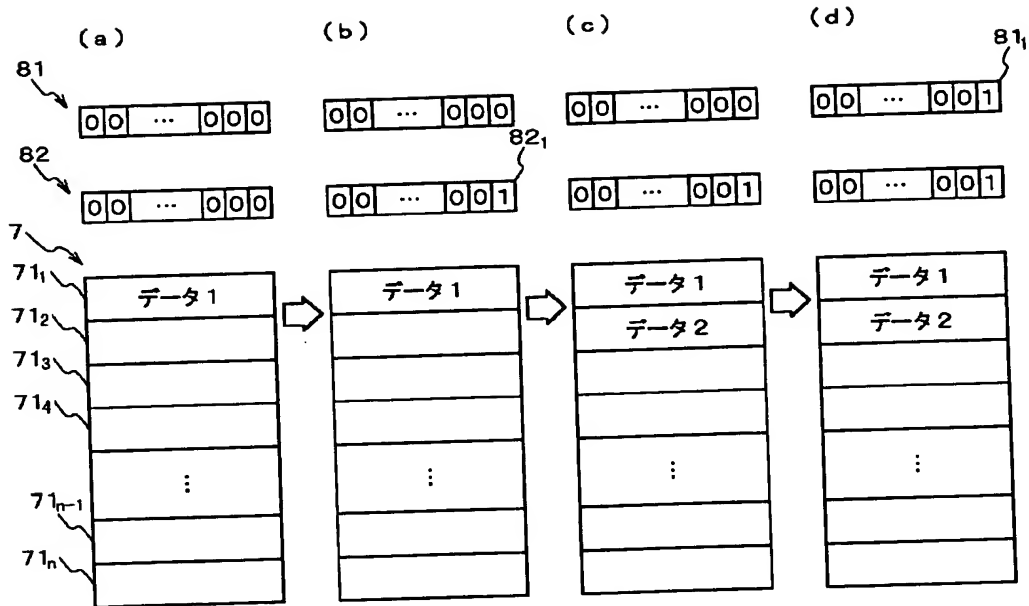
【図7】



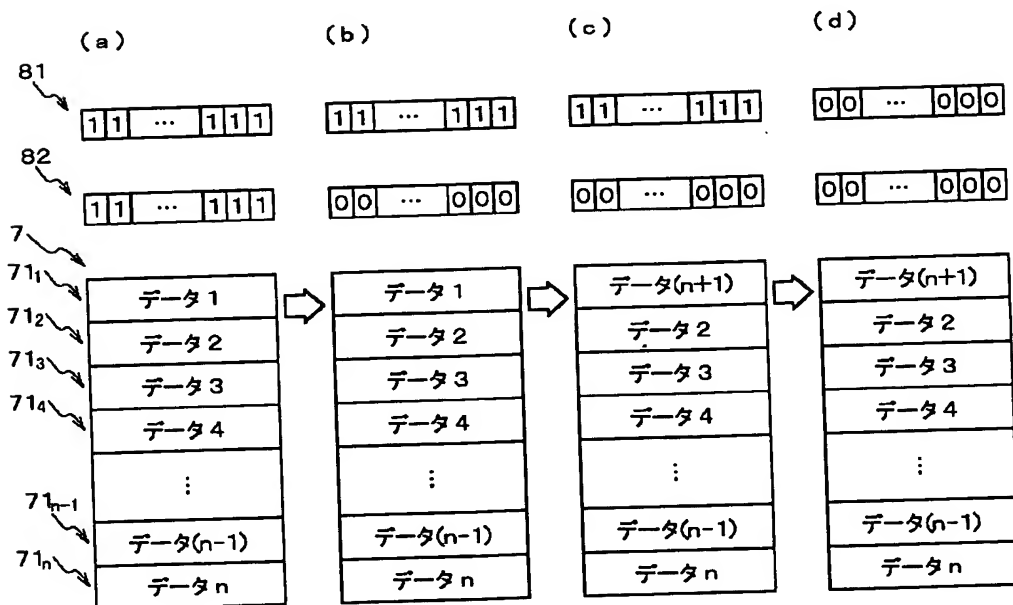
【図8】



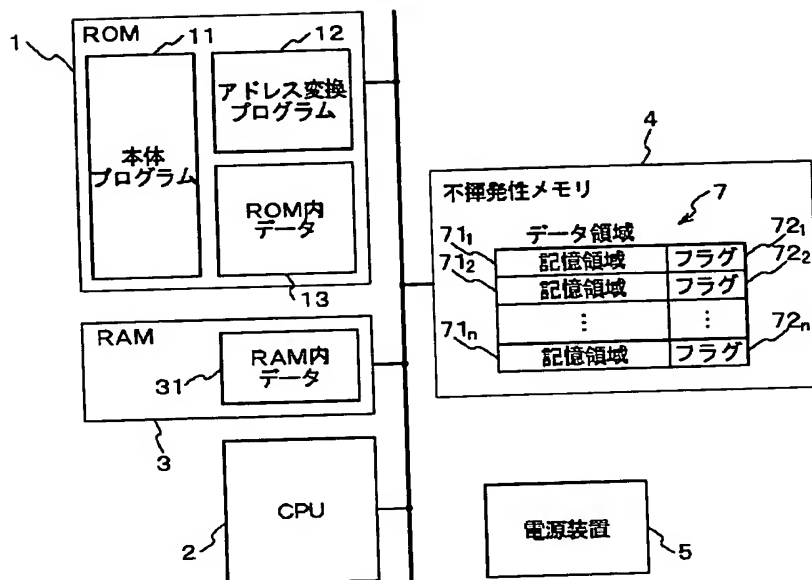
【図10】



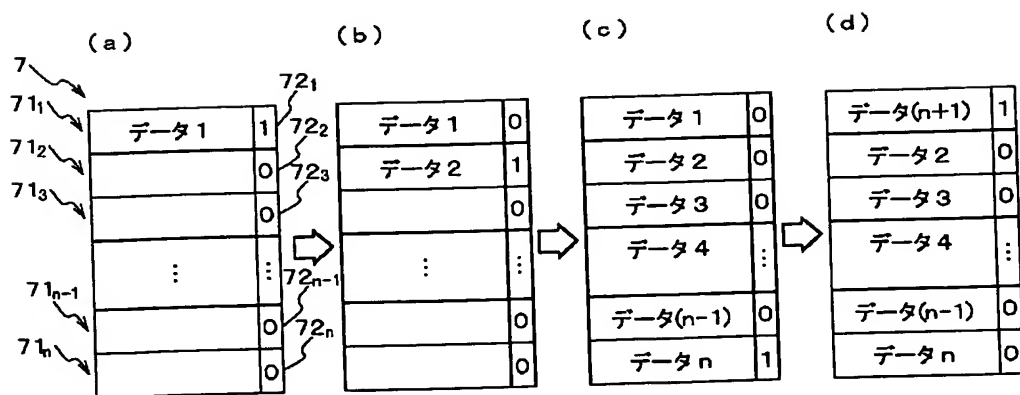
【図11】



【図12】

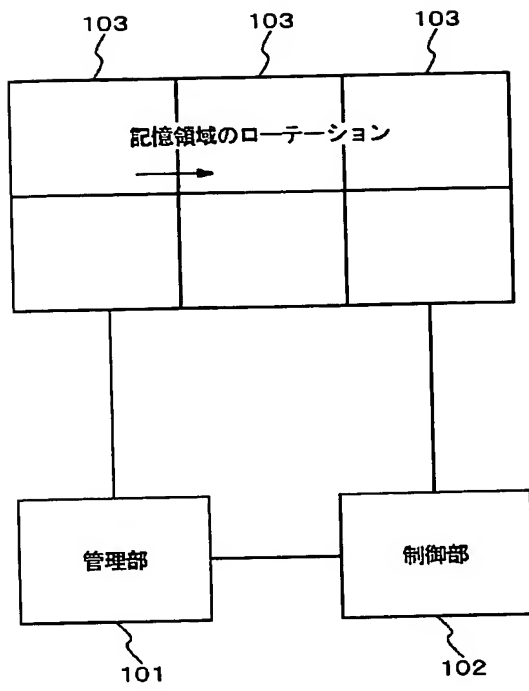


【図13】

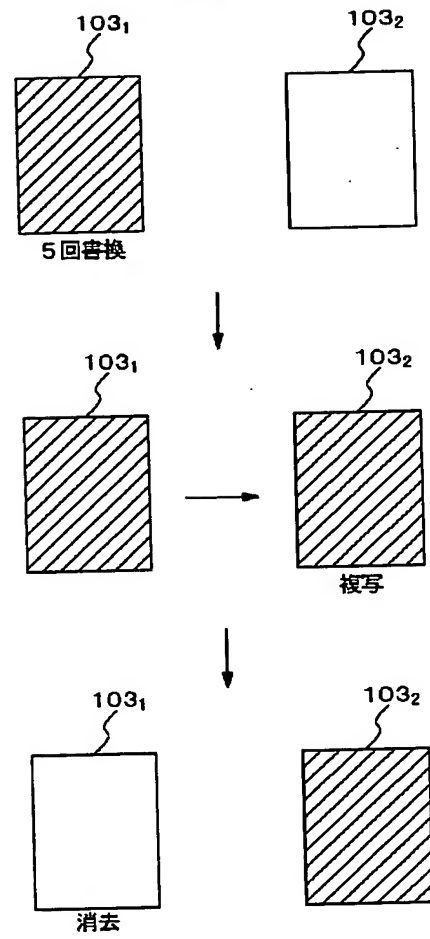




【図14】



【図15】



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-318733

(43)Date of publication of application : 31.10.2002

(51)Int.Cl.

G06F 12/16  
611C 16/02

(21)Application number : 2001-123483

(71)Applicant : MATSUSHITA ELECTRIC WORKS LTD

(22)Date of filing : 20.04.2001

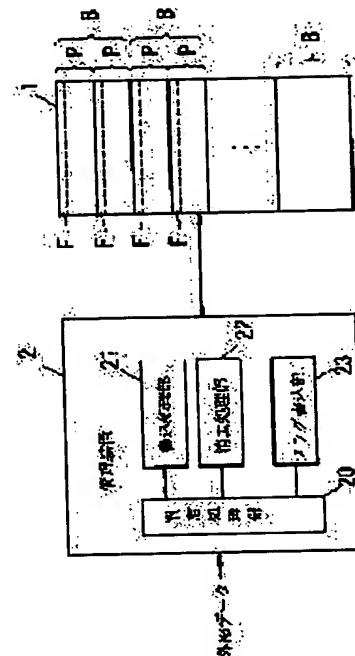
(72)Inventor : AOYAMA KEIICHI  
KAWAHARA YUZO  
MUROI YOSHINORI

## (54) MANAGING DEVICE FOR BLOCK ERASURE TYPE STORAGE MEDIUM

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a managing device for block erasure type storage medium, with which a state before the occurrence of abnormality can be recovered after recovery even when power supply is cut off during a period for updating processing of data.

**SOLUTION:** In a flash memory 1, erasure for setting all bits in a block B to one of two values is enabled for the unit of the block B and write for setting the values of the respective bits in the block B to the other value of two values is enabled for the unit of a bit. Each of blocks B is composed of a plurality of small blocks P and each of respective small blocks P is provided with a flag area F equipped with write start and write end flags respectively showing the write start and write end of data and an erasure end flag showing the erasure end of data in the original block, with which the transfer of data is completed, when the data of the small block P are transferred from the other block. In the case of recovery from abnormality, a managing device 2 performs suitable recovering processing by grasping the progress condition of processing before the occurrence of abnormality corresponding to the contents of the flag area F.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-318733  
(P2002-318733A)

(43) 公開日 平成14年10月31日 (2002. 10. 31)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト* (参考)
G 0 6 F 12/16	3 4 0	G 0 6 F 12/16	3 4 0 P 5 B 0 1 8 3 4 0 M 5 B 0 2 5
G 1 1 C 16/02		G 1 1 C 17/00	6 0 1 E

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号 特願2001-123483 (P2001-123483)

(22) 出願日 平成13年4月20日 (2001. 4. 20)

(71) 出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72) 発明者 青山 啓一

大阪府門真市大字門真1048番地松下電工株式会社内

(72) 発明者 川原 雄三

大阪府門真市大字門真1048番地松下電工株式会社内

(74) 代理人 100087767

弁理士 西川 恵清 (外1名)

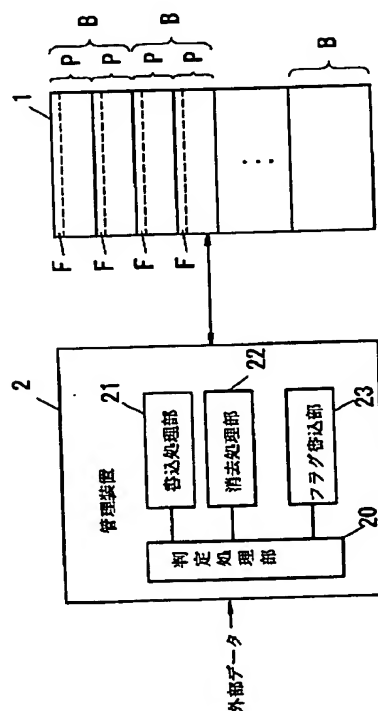
最終頁に続く

(54) 【発明の名称】 ブロック消去型記憶媒体の管理装置

(57) 【要約】

【課題】 データの更新処理の期間中に電源の遮断が生じても復帰後には異常の発生前の状態に復帰できるブロック消去型記憶媒体の管理装置を提供する。

【解決手段】 フラッシュメモリ 1 は、ブロック B 内の全ビットを 2 値の一方の値に設定する消去がブロック B 単位でのみ可能であるとともにブロック B 内の各ビットの値を 2 値の他方の値に設定する書込がビット単位で可能である。各ブロック B は複数の小ブロック P からなり、各小ブロック P にはデータの書込開始および書込終了をそれぞれ示す書込開始フラグおよび書込終了フラグと、小ブロック P のデータが別のブロックから転送された場合にデータの転送が終了した元のブロックのデータの消去終了を示す消去終了フラグとを備えるフラグエリア F が設けられる。管理装置 2 は異常からの復帰時にフラグエリア F の内容に応じて異常発生前の処理の進行状況を把握し、適切な復帰処理を行う。



**【特許請求の範囲】**

【請求項1】 ブロック内の全ビットを2値の一方の値に設定する消去がブロック単位でのみ可能であるとともにブロック内の各ビットの値を2値の他方の値に設定する書込がビット単位で可能であり、かつ各ブロック内にそれぞれ複数個の小ブロックが設定される不揮発性のブロック消去型記憶媒体に接続され、ブロック消去型記憶媒体の各ブロックのデータを消去する消去処理および各ブロックにデータを書き込む書込処理が可能な管理装置であって、前記小ブロックごとに、当該小ブロックへのデータの書込開始および書込終了をそれぞれ示す書込開始フラグおよび書込終了フラグと、当該小ブロックのデータが別のブロックから転送された場合にデータの転送が終了した元のブロックのデータの消去終了を示す消去終了フラグとを備えるフラグエリアが設けられ、ブロックのデータを変更する際にデータの変更が生じない小ブロックについては更新元のブロックから更新先のブロックに小ブロックごとにデータを転送し、データの変更が生じる小ブロックについては更新先のブロックの小ブロックに変更されたデータを書き込む書込処理部と、更新元のブロックにおける所要の小ブロックのデータが更新先のブロックに転送された後に更新元のブロックのデータを消去する消去処理部と、更新先の各小ブロックへのデータの書込の開始時および終了時と更新元のブロックのデータの消去の終了時に更新先のブロックの各小ブロックにおける書込開始フラグ、書込終了フラグ、消去終了フラグの値をそれぞれ反転させるフラグ書込部と、異常による処理中断からの復帰時にフラグエリアの内容を監視しフラグエリアの内容に応じた復帰処理を行う判定処理部とを備えることを特徴とするブロック消去型記憶媒体の管理装置。

【請求項2】 前記フラグエリアが各小ブロックに個別に設定された識別番号が書込可能である番号領域を含み、前記フラグ書込部が、書込開始フラグの値を反転させる際に、更新元のブロックがあれば更新元の小ブロックの識別番号を番号領域に書き込み、更新元のブロックがなければ規定値を番号領域に書き込む機能を有し、前記判定処理部では異常による処理中断からの復帰時に書込開始フラグが設定され書込終了フラグが設定されていないときに、番号領域を参照して抽出された更新元の小ブロックからデータの転送を再開させることを特徴とする請求項1記載のブロック消去型記憶媒体の管理装置。

【請求項3】 前記各ブロックに、当該ブロックの消去の開始時に値が反転されるブロック消去開始フラグと、当該ブロックの消去の終了時に値が反転されるブロック消去終了フラグとが小ブロックとは別に設けられ、前記判定処理部では異常による処理中断からの復帰時にブロック消去開始フラグの値が反転しブロック消去終了フラグの値が反転していないときに消去処理部に指示を与えて当該ブロックのデータを消去させることを特徴とする

請求項1または請求項2記載のブロック消去型記憶媒体の管理装置。

【請求項4】 前記判定処理部では、異常による処理中断からの復帰時にいずれかの小ブロックにおいて書込開始フラグの値のみが反転しているときには、同じブロック内で書込開始フラグおよび書込終了フラグがともに反転している小ブロックが存在していれば、書込処理部に指示を与えて書込開始フラグおよび書込終了フラグがともに反転している小ブロックのデータを別のブロックに転送させた後に、消去処理部に指示を与えて当該ブロックのデータを消去させることを特徴とする請求項1記載のブロック消去型記憶媒体の管理装置。

【請求項5】 ブロック内の全ビットを2値の一方の値に設定する消去がブロック単位でのみ可能であるとともにブロック内の各ビットの値を2値の他方の値に設定する書込がビット単位で可能であり、かつ各ブロック内にそれぞれ複数個の小ブロックが設定される不揮発性のブロック消去型記憶媒体に接続され、ブロック消去型記憶媒体の各ブロックのデータを消去する消去処理および各ブロックにデータを書き込む書込処理が可能な管理装置であって、前記各ブロックに、当該ブロックの消去の開始時に値が反転されるブロック消去開始フラグと、当該ブロックの消去の終了時に値が反転されるブロック消去終了フラグとが小ブロックとは別に設けられ、前記小ブロックごとに、当該小ブロックへのデータの書込開始および書込終了をそれぞれ示す書込開始フラグおよび書込終了フラグと、当該小ブロックのデータが別のブロックから転送された場合にデータの転送が終了した元のブロックのデータの消去終了を示す消去終了フラグと、各小ブロックに個別に設定された識別番号が書込可能である番号領域とを備えるフラグエリアが設けられ、ブロックのデータを変更する際にデータの変更が生じない小ブロックについては更新元のブロックから更新先のブロックに小ブロックごとにデータを転送し、データの変更が生じる小ブロックについては更新先のブロックの小ブロックに変更されたデータを書き込む書込処理部と、更新元のブロックにおける所要の小ブロックのデータが更新先のブロックに転送された後に更新元のブロックのデータを消去する消去処理部と、更新先の各小ブロックへのデータの書込の開始時および終了時と更新元のブロックのデータの消去の終了時に更新先のブロックの各小ブロックにおける書込開始フラグ、書込終了フラグ、消去終了フラグの値をそれぞれ反転させるフラグ書込部と、異常による処理中断からの復帰時にフラグエリアの内容を監視しフラグエリアの内容に応じた復帰処理を行う判定処理部とを備え、前記フラグ書込部が、書込開始フラグの値を反転させる際に、更新元のブロックがあれば更新元の小ブロックの識別番号を番号領域に書き込み、更新元のブロックがなければ規定値を番号領域に書き込む機能を有し、前記判定処理部では異常による処理中断からの

復帰時に、ブロック消去開始フラグの値が反転しブロック消去終了フラグの値が反転していなければ消去処理部に指示を与えて当該ブロックのデータを消去させ、いずれかの小ブロックにおいて書込開始フラグの値のみが反転しているときには、同じブロック内で書込開始フラグおよび書込終了フラグがともに反転している小ブロックが存在していれば、書込処理部に指示を与えて書込開始フラグおよび書込終了フラグがともに反転している小ブロックのデータを別のブロックに転送させた後に、消去処理部に指示を与えて当該ブロックのデータを消去させ、かつ番号領域を参照して抽出された更新元の小ブロックから前記別のブロックにデータを転送させることを特徴とするブロック消去型記憶媒体の管理装置。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、フラッシュメモリに代表される不揮発性の記憶媒体であって、ブロック内の全ビットを2値の一方の値にする「消去」がブロック単位でのみ可能であり、ブロック内の各ビットの値を2値の他方の値にする「書込」がビット単位で可能であるブロック消去型記憶媒体の管理装置に関するものである。

##### 【0002】

【従来の技術】近年、記憶領域が複数のブロックに分割された不揮発性メモリであって、記憶されたデータがブロック単位でのみ消去可能であるフラッシュメモリが広く用いられている。ブロックとは複数バイトを一括した単位であって、たとえば528バイトを1ページとし、16ページを1ブロックとしたフラッシュメモリが提供されている。この種のブロック消去型記憶媒体には、ブロックの全ビットを2値の一方の値（たとえば、1）にする「消去」についてはブロック単位でのみ処理可能であり、ブロック内の各ビットの値を2値の他方の値（たとえば、0）にする「書込」についてはビット単位で処理可能としたものが提供されている。つまり、ブロック単位で「消去」を行うことによってブロック内の全ビットを同じ値にしておき、所要のビットの値を反転させる「書込」を行うことによって、ブロックにデータを書き込むのである。

【0003】このように、ブロック単位での消去とビット単位での書込とを可能としたフラッシュメモリでは、ブロックにデータがすでに書き込まれているときに同じブロックに別のデータを書き込もうとすれば、そのブロックのデータを消去してからでなければ、新たなデータを書き込むことができない。そこで、すでに格納されているデータの一部をブロックよりも小さい単位で書き換える手順として以下の方法が考えられている。

【0004】いま、データがすでに書き込まれているブロックに含まれる1つの小ブロック（たとえば、ページ）のデータのみを変更する場合について考える。ここ

で、データが変更される小ブロックを小ブロックA、データが変更されない小ブロックを小ブロックBとする。上述のように、データがすでに存在しているブロックの内容を変更するには、そのブロックのデータを消去する必要があるが、小ブロックBについてはデータを変更しないから、ブロックのデータを消去する前に小ブロックBのデータを他のブロックあるいは他の記憶媒体に一旦退避させる。つまり、小ブロックAのデータを変更するには、まず小ブロックBのデータを退避させ、次に元のブロックのデータを消去し、最後に小ブロックAの新たなデータと退避していた小ブロックBのデータとを元のブロックに書き込むことになる。さらに、小ブロックBのデータを同じフラッシュメモリの別のブロックに退避している場合には、小ブロックBのデータを元のブロックに書き込んだ後に小ブロックBを退避していたブロックのデータを消去することも必要になる。

【0005】また、小ブロックAのデータを変更したブロックが元のブロックとは異なるブロックでもよい場合には、以下の手順を採用することも可能である。つまり、小ブロックBのデータを同じフラッシュメモリ内で元のブロックとは異なるブロックに転送するようにし、小ブロックBのデータを転送するブロックに小ブロックAの新たなデータも書き込み、最後に元のブロックのデータを消去するようにしてもよい。この方法を採用すれば、元のブロックに変更後のデータを書き込む場合に比較して手順が少なくなる。

##### 【0006】

【発明が解決しようとする課題】ところで、上述のように前者の手順に比較して後者の手順は処理数が少なくなるから、高速な処理が期待できる点で優れているものの、以下のような問題が生じる可能性がある。たとえば、小ブロックAの新たなデータをブロックに書き込んでいる期間、小ブロックBのデータを別のブロックに転送している期間、元のブロックのデータを消去している期間のいずれかの期間において、フラッシュメモリにデータの転送や消去を指示している管理装置の電源の遮断のように処理が中断する異常が生じたとすると、フラッシュメモリに不要なデータが残されることになる。つまり、小ブロックAのデータの更新処理を開始してから、元のブロックのデータを消去してしまうまでの間に処理が停止すると、2つのブロックに何らかのデータが存在することになり、両ブロックのどちらのデータが正しいデータであるかを判断することができなくなる可能性がある。

【0007】一方、特開平11-53248号公報などに記載されているように、従来からフラッシュメモリの一部の領域にアロケーションテーブルとディレクトリとをまとめて記憶させることによって（以下では、この領域を「集中管理領域」と呼ぶ）、オペレーティングシステムの管理下においてディスク装置（フレキシブルディ

スクあるいはハードディスク)と等価に扱うことを可能にする技術が提案されている。この種の技術を採用すれば、ディレクトリには各ブロックのデータに対して行っている処理内容に応じたフラグが書き込まれるから、電源の遮断のような異常から復帰したときにフラグの情報をを用いて、異常が生じる前の状態から処理を再開させることが可能になる。

【0008】しかしながら、このような構成を採用したとしても、集中管理領域はフラッシュメモリに設けられているから、アロケーションテーブルやディレクトリをブロック単位で消去することになり、アロケーションテーブルやディレクトリを書き換える際にデータの変更時と同様の問題が生じる。つまり、アロケーションテーブルやディレクトリを変更する処理を行っている間に停電によって電源が遮断されるような異常が生じると、フラッシュメモリに残されたデータのどれが正しいデータかを判別することができず、異常から復帰したときに異常の発生前の状態に復帰できなくなる場合がある。

【0009】本発明は上記事由に鑑みて為されたものであり、その目的は、データの更新処理の期間中に電源が遮断されるような処理の中断する異常が生じても異常からの復帰後には異常の発生前の状態から処理を確実に再開させることを可能にしたブロック消去型記憶媒体の管理装置を提供することにある。

【0010】

【課題を解決するための手段】請求項1の発明は、ブロック内の全ビットを2値の一方の値に設定する消去がブロック単位でのみ可能であるとともにブロック内の各ビットの値を2値の他方の値に設定する書込がビット単位で可能であり、かつ各ブロック内にそれぞれ複数の小ブロックが設定される不揮発性のブロック消去型記憶媒体に接続され、ブロック消去型記憶媒体の各ブロックのデータを消去する消去処理および各ブロックにデータを書き込む書込処理が可能な管理装置であって、前記小ブロックごとに、当該小ブロックへのデータの書込開始および書込終了をそれぞれ示す書込開始フラグおよび書込終了フラグと、当該小ブロックのデータが別のブロックから転送された場合にデータの転送が終了した元のブロックのデータの消去終了を示す消去終了フラグとを備えるフラグエリアが設けられ、ブロックのデータを変更する際にデータの変更が生じない小ブロックについては更新元のブロックから更新先のブロックに小ブロックごとにデータを転送し、データの変更が生じる小ブロックについては更新先のブロックの小ブロックに変更されたデータを書き込む書込処理部と、更新元のブロックにおける所要の小ブロックのデータが更新先のブロックに転送された後に更新元のブロックのデータを消去する消去処理部と、更新先の各小ブロックへのデータの書込の開始時および終了時と更新元のブロックのデータの消去の終了時に更新先のブロックの各小ブロックにおける書込開

始フラグ、書込終了フラグ、消去終了フラグの値をそれぞれ反転させるフラグ書込部と、異常による処理中断からの復帰時にフラグエリアの内容を監視しフラグエリアの内容に応じた復帰処理を行う判定処理部とを備えるものである。この構成によれば、更新先へのデータの書込中や更新元のデータの消去中において、電源の遮断のような異常が生じて処理が中断しても、判定処理部が書込開始フラグ、書込終了フラグ、消去終了フラグの値を監視することによって、異常から復帰したときには異常の発生前における処理の進行状況を把握することができ、適切な復帰処理が可能になる。

【0011】請求項2の発明は、請求項1の発明において、前記フラグエリアが各小ブロックに個別に設定された識別番号が書込可能である番号領域を含み、前記フラグ書込部が、書込開始フラグの値を反転させる際に、更新元のブロックがあれば更新元の小ブロックの識別番号を番号領域に書き込み、更新元のブロックがなければ規定値を番号領域に書き込む機能を有し、前記判定処理部では異常による処理中断からの復帰時に書込開始フラグが設定され書込終了フラグが設定されていないときに、番号領域を参照して抽出された更新元の小ブロックからデータの転送を再開させることを特徴とする。この構成によれば、異常からの復帰時に判定処理部が番号領域を確認することによって、更新元の小ブロックのうちデータの転送が未終了である小ブロックを容易に発見することができ、データの転送を容易に再開させることができる。

【0012】請求項3の発明は、請求項1または請求項2の発明において、前記各ブロックに、当該ブロックの消去の開始時に値が反転されるブロック消去開始フラグと、当該ブロックの消去の終了時に値が反転されるブロック消去終了フラグとが小ブロックとは別に設けられ、前記判定処理部では異常による処理中断からの復帰時にブロック消去開始フラグの値が反転しブロック消去終了フラグの値が反転していないときに消去処理部に指示を与えて当該ブロックのデータを消去させることを特徴とする。この構成によれば、ブロックのデータを消去している間に電源の遮断のような異常が生じたとしても、ブロック消去開始フラグの値が反転しブロック消去終了フラグの値が反転していなければ、消去処理の途中で異常が生じたことを認識することができ、当該ブロックの消去処理をあらためて行うことができる。

【0013】請求項4の発明は、請求項1の発明において、前記判定処理部では、異常による処理中断からの復帰時にいずれかの小ブロックにおいて書込開始フラグの値のみが反転しているときには、同じブロック内で書込開始フラグおよび書込終了フラグがともに反転している小ブロックが存在していれば、書込処理部に指示を与えて書込開始フラグおよび書込終了フラグがともに反転している小ブロックのデータを別のブロックに転送させた

後に、消去処理部に指示を与えて当該ブロックのデータを消去させることを特徴とする。この構成によれば、一つのブロック内において書込が終了した小ブロックと書込が終了しておらずデータに欠損がある小ブロックとが混在しているときに、書込が終了した小ブロックのデータを別のブロックに転送することによって、欠損の生じているデータを消去しながらも、書込が終了した小ブロックについてはデータを活用することができ、データが無駄にならない。

【0014】請求項5の発明は、ブロック内の全ビットを2値の一方の値に設定する消去がブロック単位でのみ可能であるとともにブロック内の各ビットの値を2値の他方の値に設定する書込がビット単位で可能であり、かつ各ブロック内にそれぞれ複数個の小ブロックが設定される不揮発性のブロック消去型記憶媒体に接続され、ブロック消去型記憶媒体の各ブロックのデータを消去する消去処理および各ブロックにデータを書き込む書込処理が可能で管理装置であって、前記各ブロックに、当該ブロックの消去の開始時に値が反転されるブロック消去開始フラグと、当該ブロックの消去の終了時に値が反転されるブロック消去終了フラグとが小ブロックとは別に設けられ、前記小ブロックごとに、当該小ブロックへのデータの書込開始および書込終了をそれぞれ示す書込開始フラグおよび書込終了フラグと、当該小ブロックのデータが別のブロックから転送された場合にデータの転送が終了した元のブロックのデータの消去終了を示す消去終了フラグと、各小ブロックに個別に設定された識別番号が書込可能である番号領域とを備えるフラグエリアが設けられ、ブロックのデータを変更する際にデータの変更が生じない小ブロックについては更新元のブロックから更新先のブロックに小ブロックごとにデータを転送し、データの変更が生じる小ブロックについては更新先のブロックの小ブロックに変更されたデータを書き込む書込処理部と、更新元のブロックにおける所要の小ブロックのデータが更新先のブロックに転送された後に更新元のブロックのデータを消去する消去処理部と、更新先の各小ブロックへのデータの書込の開始時および終了時と更新元のブロックのデータの消去の終了時に更新先のブロックの各小ブロックにおける書込開始フラグ、書込終了フラグ、消去終了フラグの値をそれぞれ反転させるフラグ書込部と、異常による処理中断からの復帰時にフラグエリアの内容を監視しフラグエリアの内容に応じた復帰処理を行う判定処理部とを備え、前記フラグ書込部が、書込開始フラグの値を反転させる際に、更新元のブロックがあれば更新元の小ブロックの識別番号を番号領域に書き込み、更新元のブロックがなければ規定値を番号領域に書き込む機能を有し、前記判定処理部では異常による処理中断からの復帰時に、ブロック消去開始フラグの値が反転しブロック消去終了フラグの値が反転していなければ消去処理部に指示を与えて当該ブロックのデータ

を消去させ、いずれかの小ブロックにおいて書込開始フラグの値のみが反転しているときには、同じブロック内で書込開始フラグおよび書込終了フラグがともに反転している小ブロックが存在していれば、書込処理部に指示を与えて書込開始フラグおよび書込終了フラグがともに反転している小ブロックのデータを別のブロックに転送させた後に、消去処理部に指示を与えて当該ブロックのデータを消去させ、かつ番号領域を参照して抽出された更新元の小ブロックから前記別のブロックにデータを転送させることを特徴とする。この構成によれば、更新先へのデータの書込中や更新元のデータの消去中において、電源の遮断のような異常が生じて処理が中断しても、判定処理部が書込開始フラグ、書込終了フラグ、消去終了フラグの値を監視することによって、異常から復帰したときには異常の発生前における処理の進行状況を把握することができ、適切な復帰処理が可能になる。また、ブロックのデータを消去している間に電源の遮断のような異常が生じたとしても、ブロック消去開始フラグの値が反転しブロック消去終了フラグの値が反転していなければ、消去処理の途中で異常が生じたことを認識することができ、当該ブロックの消去処理をあらためて行うことができる。しかも、ブロックのデータを消去している間に電源の遮断のような異常が生じたとしても、ブロック消去開始フラグの値が反転しブロック消去終了フラグの値が反転していなければ、消去処理の途中で異常が生じたことを認識することができ、当該ブロックの消去処理をあらためて行うことができる。さらに、一つのブロック内において書込が終了した小ブロックと書込が終了しておらずデータに欠損がある小ブロックとが混在しているときに、書込が終了した小ブロックのデータを別のブロックに転送することによって、欠損の生じているデータを消去しながらも、書込が終了した小ブロックについてはデータを活用することができ、データが無駄にならない。

#### 【0015】

【発明の実施の形態】以下に説明する発明の実施の形態では、説明を簡単にするために、ブロックのデータが消去された状態でブロック内の全ビットが1になり、書込に際してはビット単位でビット値を0に変更できるものとする。また、ブロック内には2個の小ブロックが存在するものとする。ただし、ブロック内の小ブロックが3個以上であっても本発明の技術思想は適用可能である。

【0016】（第1の実施の形態）本実施形態では、図3に示すように、フラッシュメモリ1（図1参照）の2個のブロックB1、B2に着目し、各ブロックB1、B2がそれぞれ2個ずつの、小ブロック（たとえば、ページ）P11、P12、P21、P22を備えるものとする。また、初期状態では図3（a）のようにブロックB1における小ブロックP11、P12にそれぞれデータD1、データD2が格納されており、最終的には図3

(d) のようにブロックB2における小ブロックP21、P22にそれぞれデータD3、データD2を格納するものとする。要するに、小ブロックP11のデータD1をデータD3に変更するとともに、ブロックB1からブロックB2にデータを転送したことになる。以下では、ブロックB1を更新元と呼び、ブロックB2を更新先と呼び、更新先のブロックB2にデータが書き込まれた後には更新元のブロックB1のデータは消去されるものとする。

【0017】更新先のブロックB2において小ブロックP21に書き込まれるデータD3は、更新元のブロックB1には存在しなかったデータであるから、ブロックB2があらかじめ消去されていれば、ブロックB2に書き込むことができる。一方、小ブロックP22に書き込まれるデータD2は、更新元のブロックB1における小ブロックP12に格納されているデータであるから、ブロックB1からブロックB2に転送されることになる。つまり、手順としては、図3(a)の状態から図3(b)のようにブロックB2の小ブロックP21にデータD3を書き込むとともに、図3(c)のようにブロックB1の小ブロックP12からブロックB2の小ブロックP22にデータD2を転送し、最後に図3(d)のようにブロックB1のデータを消去することになる。この手順は従来構成として説明した手順と同様である。

【0018】ところで、本実施形態は、各小ブロックP11、P12、P21、P22ごとにそれぞれフラグエリアFを設定した点が従来構成と相違する。各フラグエリアFは3ビットであって、図4に示すように、書込開始フラグf1、書込終了フラグf2、消去終了フラグf3を備える。いずれもビット値が0である状態がフラグの設定された状態であって、ビット値が0であるフラグについてはその処理が行われたことを意味する。書込開始フラグf1はデータの更新先のブロックB2における小ブロックP21、P22においてデータの書込開始前に設定され、各小ブロックP21、P22においてデータの書込が終了した時点で、その小ブロックP21、P22に対して書込終了フラグf2が設定される。消去終了フラグf3の機能については後述する。また、フラグエリアFは小ブロックP11、P12、P21、P22の適宜箇所に設けることができるが、通常は小ブロックP11、P12、P21、P22の先頭アドレスからフラグエリアFが設定される。

【0019】図3の処理を例にして具体的に説明する。初期状態ではブロックB2は消去されているから、図3(a)の状態では、書込開始フラグf1=1、書込終了フラグf2=1、消去終了フラグf3=1である。データD3の書込が開始される前には書込開始フラグf1が0に設定されるから、書込開始フラグf1=0、書込終了フラグf2=1、消去終了フラグf3=1になり、その後、図3(b)のようにデータD3が小ブロックP2

1に書き込まれることになる。また、小ブロックP21へのデータD3の書込が終了すると書込終了フラグf2が0に設定されるから、書込開始フラグf1=0、書込終了フラグf2=0、消去終了フラグf3=1になる。要するに、小ブロックP21のフラグエリアFの内容は、図3(b)の前後において、「f1=0、f2=1、f3=1」から、「f1=0、f2=0、f3=1」になる。

【0020】同様に、図3(c)のようにデータD2をブロックB2の小ブロックP22に書き込む際に、小ブロックP22のフラグエリアFの内容は、当初は「f1=1、f2=1、f3=1」であるが、データD2の転送を開始する前に「f1=0、f2=1、f3=1」に設定され、データD2の転送が終了すれば「f1=0、f2=0、f3=1」に設定される。つまり、図3(c)の前後においては、小ブロックP22のフラグエリアFの内容が、「f1=0、f2=1、f3=1」から、「f1=0、f2=0、f3=1」になる。

【0021】上述のようにしてブロックB2に所要のデータD2、D3が書き込まれた後には、図3(d)のように、ブロックB1のデータD1、D2が消去されるのであって、更新元のブロックB1のデータD1、D2の消去後には、更新先のブロックB2の小ブロックP21、P22における消去終了フラグf3がともに0にされる。ここに、更新元のブロックB1の小ブロックP11、P12においては、消去によってフラグエリアFのすべてのフラグが1になるから、再書込が可能な状態を示すことになる。

【0022】上述した処理手順を図2にまとめる。すなわち、データの更新処理を開始すると、まず書込対象である更新先のブロックB2の小ブロックP21、P22のフラグエリアFに書込開始フラグf1が設定され(S1)、データが書き込まれる(S2)。1つの小ブロックP21、P22へのデータの書込が終了すれば(S3)、その小ブロックP21、P22に書込終了フラグf2が設定され(S4)、所要の小ブロックP21、P22へのデータの書込が終了すれば(S5)、次には更新元のブロックB1のデータの消去が開始され(S6)、更新元のブロックB1のデータが消去されると(S7)、更新先のブロックB1のすべての小ブロックP21、P22に消去終了フラグf3が設定される。

【0023】上述の動作は、図1に示すように、フラッシュメモリ1に接続した管理装置2が行っている。管理装置2は、マイクロプロセッサあるいは専用のハードウェアにより構成され、小ブロック間でのデータの転送を行うとともに各小ブロックへのデータの書込を行う書込処理部21と、ブロック単位でデータを消去する消去処理部22とを備えるほか、フラグエリアFへのフラグの書込を行うフラグ処理部23と、処理の進行状況を監視するとともにデータの更新処理を行うための指示を与え



る判定処理部20とを備える。判定処理部20では、データの更新処理の指示を外部から受けると、書込処理部21、消去処理部22、フラグ書込部23に指示を与えて図2に示した手順で小ブロックのデータを操作する。また、判定処理部20は、異常からの復帰時にフラグエリアFの内容に基づいて以下に説明する処理を行う機能も備える。

【0024】上述した構成では、フラッシュメモリ1においてビット単位での書込が可能なことを利用して、フラグエリアFに処理の進行状況を表すビット単位のフラグを処理の各段階ごとに書き込むから、いずれかの段階において電源が遮断されるような処理の中断する異常が生じたとしても、フラグエリアFの内容を参照することによって、異常の発生前の状態に復帰させる復帰処理が可能になる。復帰処理は、フラグエリアFの内容に応じて選択される。つまり、フラグエリアFの内容を参照することによって、データの更新処理を行っている期間におけるどの段階で電源の遮断などの異常が生じたかを判断することができるから、各段階に対応した復帰処理を行うことになる。

【0025】つまり、異常から復帰した時点で、各小ブロックのフラグエリアの内容を参照したときに、フラグエリアFのすべてのフラグが0であれば、データの変更に関する処理がすべて終了したことを意味し、フラグエリアfのすべてのフラグが1であれば、その小ブロックはデータが消去され書込が可能であることを意味することになる。一方、3個のフラグのうちのいずれかが他のフラグと異なっていれば、電源の遮断のような異常の発生時にデータの更新処理が途中であったことが把握できる。したがって、判定処理部20ではフラグの内容を監視することによって、データの転送先が書込可能であることを把握したり、異常からの復帰時に異常の発生前の処理を継続させたりすることが可能になる。

【0026】ところで、小ブロックPへの書込が開始され、書込が終了するまでに異常が生じたときには、その小ブロックPのフラグエリアFは「f1=0、f2=1、f3=1」になっている。つまり、フラグエリアFの内容が「f1=0、f2=1、f3=1」である小ブロックPは、データの書込の途中で異常が生じたことがわかる。言い換えると、この小ブロックPのデータは一部が欠損していることになる。ただし、欠損したデータを含むブロックB内の他の小ブロックPについては、データに欠損がない可能性がある。

【0027】そこで、図5に示すように、異常から復帰したときには、まずフラッシュメモリ1のすべての小ブロックPにおけるフラグエリアFを参照し、フラグエリアFの内容が「f1=0、f2=1、f3=1」である小ブロックPをすべて抽出する(S1~S3)。次に、抽出された小ブロックPを含むブロックB内でフラグエリアFの内容が「f1=1、f2=1、f3=1」であ

る小ブロックPが存在するか否かを検出し(S4)、一つのブロックBにデータが正常である小ブロックPと異常である小ブロックPとが混在するときには、データが正常である小ブロックPのデータを別のブロックに転送する(S5)。データの転送後に当該ブロックBのデータを消去すれば(S6)、欠損のあるデータのみが消去され、欠損のあったデータを適宜の小ブロックPに書き込む処理から再開させることができる。このような処理を行えば、消去するデータ量を少なくすることができ、比較的短時間で復帰させることが可能になる。

【0028】(第2の実施の形態)本実施形態は、図6に示すように、フラグエリアFに番号領域f4を追加したものである。本実施形態では、各小ブロックに識別番号が付与されていることを前提にしている。しかして、小ブロック間でのデータの転送時に転送先の番号領域f4に転送元の小ブロックの識別番号が書き込まれる。番号領域f4への識別番号の書込は、書込開始フラグf1の設定時と同じタイミングになっている。したがって、小ブロックへのデータの書込が開始されるときには、小ブロック間でのデータの転送であれば転送元が番号領域f4に書き込まれる。その結果、データの転送中の期間に電源が遮断されるような異常が生じて、番号領域f4によって転送元を知ることができ、正常なデータの所在を知ることによってデータの転送を再開させることができる。

【0029】図3に示した例で説明すれば、図3(b)(c)のようにブロックB1の小ブロックP12からブロックB2の小ブロックP22にデータを転送するにあたって、小ブロックP12の識別番号が02であるとすれば、フラグエリアFの内容が、「f1=1、f2=1、f3=1、f4=FF」の状態から「f1=0、f2=1、f3=1、f4=02」に変更される。したがって、データの転送中に電源が遮断されるような異常が生じたとしても番号領域f4の値である02を見ることによって、小ブロックP12には元のデータが残っていることを知ることができる。なお、小ブロックに書き込まれるデータが他の小ブロックから転送されるものでないときには、小ブロックの識別番号に用いられていない規定値(たとえば、0)を番号領域f4に設定する。

【0030】(第3の実施の形態)上述した実施形態では、更新先のブロックB2にデータを書き込んだ後に更新元のブロックB1のデータを消去する例を示しており、書込終了フラグf2の設定から消去終了フラグf3の設定までの期間を消去処理の期間とみなしている。しかしながら、データが格納されているブロックについてデータの消去のみを行う場合には、データの消去処理を開始した時点を知ることができない。したがって、消去処理の期間において電源が遮断されるような異常が生じた場合には、消去終了フラグf3が0に保たれていることがあり、一部が消去されたデータか正常なデータかの

判別ができなくなる可能性が生じる。

【0031】本実施形態では、図7に示すように、ブロックBごとに小ブロックPとは別の領域にそれぞれ1ビットであるブロック消去開始フラグf5とブロック消去終了フラグf6とを設けることにより、ブロック単位での消去の開始と終了とを示すようにしたものである。ブロック消去開始フラグf5はブロックBについて消去処理を開始する直前に0に設定され、ブロック消去終了フラグf6は消去処理が終了すると0に設定される。

【0032】したがって、データが格納されているか否かにかかわらず正常なブロックBでは「f5=1、f6=0」であり、消去処理が開始されると「f5=0、f6=0」になる。その後、ブロックBのデータがすべて消去されると「f5=1、f6=1」になり、消去処理が終了すればブロック消去終了フラグf6が設定されて、「f5=1、f6=0」になる。

【0033】このように、消去処理が正常に行われたブロックB（フラッシュメモリ1の使用開始時の初期化による消去処理でも同様）では「f5=1、f6=0」であるから、ブロック消去開始フラグf5とブロック消去終了フラグf6との値が上述の関係以外のときには消去処理中に異常が生じたと判断することができる。本実施形態では、異常からの復帰時に、ブロック消去開始フラグf5およびブロック消去終了フラグf6の値を判定処理部20において監視し、「f5=1、f6=0」ではないブロックBについては消去処理部22に対して消去処理を指示する。他の構成および動作は第1ないし第2の実施の形態と同様である。

【0034】本実施形態における消去処理を図8にまとめる。すなわち、消去処理が指示されると、まず消去対象であるブロックBのブロック消去開始フラグf5が設定され（S1）、ブロックBの消去が開始される（S2）。ブロックBの消去が終了すれば（S3）、消去対象であるブロックBにブロック消去終了フラグf6が設定されるのである。

【0035】本実施形態のように各ブロックBにブロック消去開始フラグf5およびブロック消去終了フラグf6を用いる構成を、第2の実施の形態のように各小ブロックPにそれぞれ番号領域f4を付与する構成と併用すれば、異常からの復帰時において消去すべきデータが残っているか否かを判断することができ、そのようなデータが残っているブロックに対して消去処理を施すことが可能になる。

【0036】たとえば、ブロックBの消去処理の期間において異常が生じたとすると、異常からの復帰時にはブロックBの消去が完了していないから、不完全なデータが残されることになる。また、第1の実施の形態のようにデータの更新処理の際に、更新先のブロックB2の一部の小ブロックP21、P22へのデータの書込が終了したものの、他の小ブロックP21、P22へのデータ

の書込が終了する前に異常が生じることがある。つまり、ブロックB1の消去処理が予定されている状態で消去処理の前に異常が生じることがある。ここで、書込の終了したデータが更新元から更新先に転送されたものであるときには、更新元のブロックB1と更新先のブロックB2と同じデータの2つの小ブロックが存在することになる。また、この場合には書込が終了していない小ブロックP21、P22のデータには欠損が生じていることになる。

【0037】このように消去処理中や消去処理が予定されている状態での異常により欠損の生じたデータは異常からの復帰時に消去することが必要であり、消去処理中あるいは消去処理が予定されていたブロックは異常からの復帰後にデータを消去しなければならない。

【0038】図9を用いて動作を簡単に説明する。上述したように、ブロックBの消去処理の期間において異常が生じたときには、「f5=0、f6=0」であるから、異常からの復帰時に各ブロックBのブロック消去開始フラグf5とブロック消去終了フラグf6との組を検索して「f5=0、f6=0」であれば、ブロックBの消去処理が正常に終了していないものと判断し、判定処理部20から消去処理部22に対して当該ブロックBのデータを消去するように指示する（S1）。

【0039】一方、データの更新処理に際して、更新先のブロックB2の一部の小ブロックP21へのデータの書込後で、他の小ブロックP22へのデータの書込中に異常が生じたときには、更新先のブロックB2における小ブロックP21のフラグエリアFの内容は「f1=0、f2=0、f3=1、f4=3」であり、小ブロックP22のフラグエリアFの内容は「f1=0、f2=1、f3=1、f4=4」になっている。そこで、異常からの復帰時に各小ブロックP11、P12、P21、P22のフラグエリアFの内容を検索して「f1=0、f2=1、f3=1」である小ブロックが抽出されたときには（S2～S4）、同じブロックB2内に「f1=0、f2=0、f3=1」である小ブロックP21が含まれるか否かを検証する（S5）。ここでは、ブロックB2において、書込が終了した小ブロックP21と書込中の小ブロックP22とが混在していると想定しており、このような場合には、異常からの復帰時の復帰処理において、すでに書込が終了した小ブロックP21を活用するために、書込が終了した小ブロックP21のデータについては別のブロックBに転送する（S6）。つまり、書込が終了した小ブロックP21のデータを退避したことになり、データの退避が終了した後にブロックB2の消去処理を行えば、欠損の生じているデータを消去することができる（S7）。このとき、番号領域f4を利用することによって、欠損の生じているデータを保有していた小ブロックP22を特定することができるから、ブロックB2のデータを消去した後、小ブロックP

22への書込を予定していたデータを、小ブロックP21のデータを転送したブロックにおける小ブロックに書き込むようにすればよい(S8)。その後、すべての小ブロックへのデータの書込が終了すれば、更新元のブロックB1のデータを消去する(S9)。この処理によって、更新元と更新先との2つの小ブロックが同じデータを持つことを回避することができる。

【0040】フラグエリアFの内容を検索したときに、「f1=0、f2=1、f3=1」である小ブロックが抽出されなければ、データに欠損の生じている小ブロックは存在しないから、異常が生じる前の処理から継続することによって、データの更新処理を正常に終了させることが可能になる。他の構成および動作は第1の実施の形態と同様である。

#### 【0041】

【発明の効果】請求項1の発明では、更新先へのデータの書込中や更新元のデータの消去中において電源の遮断のような異常が生じて処理が中断しても、判定処理部が書込開始フラグ、書込終了フラグ、消去終了フラグの値を監視することによって、異常から復帰したときには異常の発生前における処理の進行状況を把握することができ、適切な復帰処理が可能になる。

【0042】請求項2の発明では、請求項1の発明の効果に加えて、異常からの復帰時に判定処理部が番号領域を確認することによって、更新元の小ブロックのうちデータの転送が未終了である小ブロックを容易に発見することができ、データの転送を容易に再開させることができる。

【0043】請求項3の発明では、請求項1または請求項2の発明の効果に加えて、ブロックのデータを消去している間に電源の遮断のような異常が生じたとしても、ブロック消去開始フラグの値が反転しブロック消去終了フラグの値が反転していなければ、消去処理の途中で異常が生じたことを認識することができ、当該ブロックの消去処理をあらためて行うことができる。

【0044】請求項4の発明では、請求項1の発明の効果に加えて、一つのブロック内において書込が終了した小ブロックと書込が終了しておらずデータに欠損がある小ブロックとが混在しているときに、書込が終了した小ブロックのデータを別のブロックに転送することによって、欠損の生じているデータを消去しながらも、書込が終了した小ブロックについてはデータを活用することができ、データが無駄にならない。

【0045】請求項5の発明では、更新先へのデータの書込中や更新元のデータの消去中において、電源の遮断のような異常が生じて処理が中断しても、判定処理部が書込開始フラグ、書込終了フラグ、消去終了フラグの値を監視することによって、異常から復帰したときには異常の発生前における処理の進行状況を把握することができ、適切な復帰処理が可能になる。また、ブロックのデ

ータを消去している間に電源の遮断のような異常が生じたとしても、ブロック消去開始フラグの値が反転しブロック消去終了フラグの値が反転していなければ、消去処理の途中で異常が生じたことを認識することができ、当該ブロックの消去処理をあらためて行うことができる。さらに、一つのブロック内において書込が終了した小ブロックと書込が終了しておらずデータに欠損がある小ブロックとが混在しているときに、書込が終了した小ブロックのデータを別のブロックに転送することによって、欠損の生じているデータを消去しながらも、書込が終了した小ブロックについてはデータを活用することができ、データが無駄にならない。

#### 【図面の簡単な説明】

【図1】本発明の実施の形態を示すブロック図である。

【図2】本発明の第1の実施の形態を示す動作説明図である。

【図3】同上の動作説明図である。

【図4】同上におけるフラグエリアの説明図である。

【図5】同上の復帰処理を示す動作説明図である。

【図6】本発明の第2の実施の形態におけるフラグエリアの説明図である。

【図7】本発明の第3の実施の形態におけるブロックの説明図である。

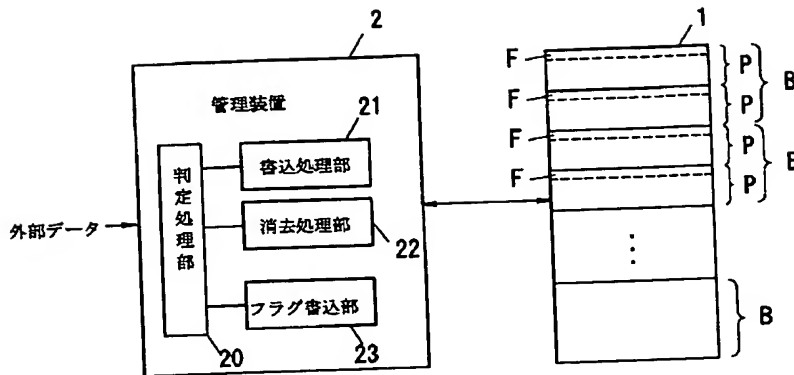
【図8】同上の動作説明図である。

【図9】同上の復帰処理を示す動作説明図である。

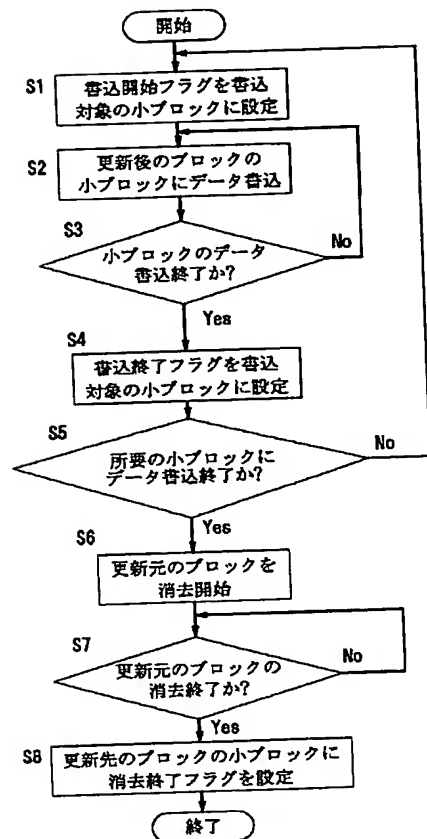
#### 【符号の説明】

- 1   フラッシュメモリ
- 2   管理装置
- 20   判定処理部
- 21   書込処理部
- 22   消去処理部
- 23   フラグ書込部
- B   ブロック
- B1、B2   ブロック
- F   フラグ
- f1   書込開始フラグ
- f2   書込終了フラグ
- f3   消去終了フラグ
- f4   番号領域
- f5   ブロック消去開始フラグ
- f6   ブロック消去終了フラグ
- P   小ブロック
- P11、P12   小ブロック
- P21、P22   小ブロック

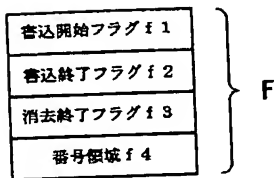
【図1】



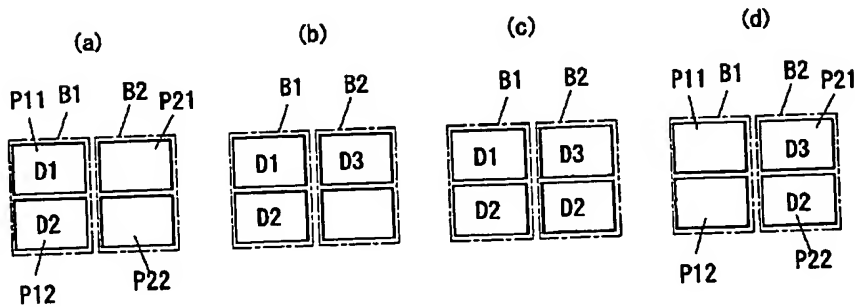
【図2】



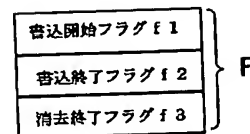
【図6】



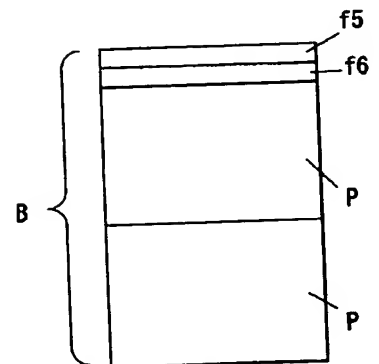
【図3】



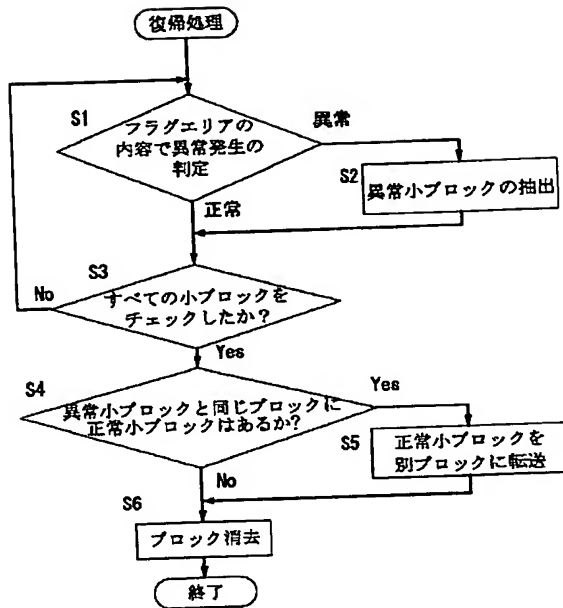
【図4】



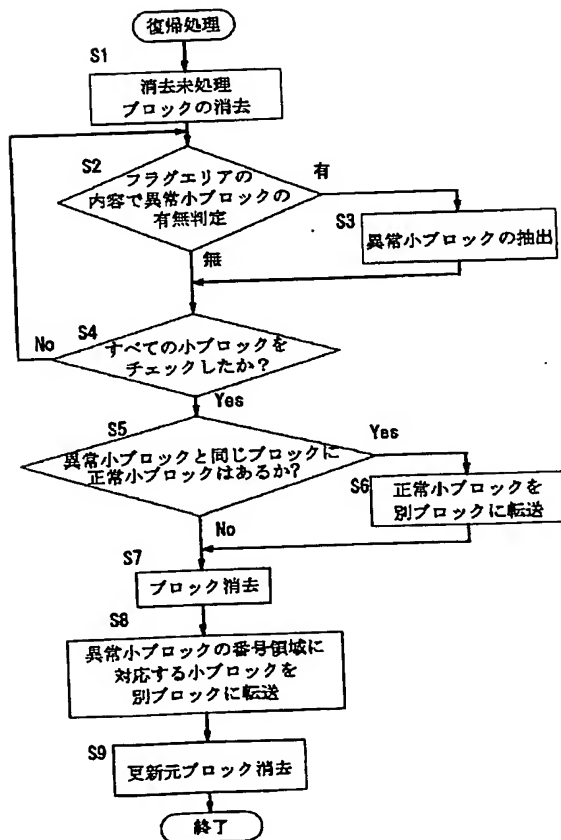
【図7】



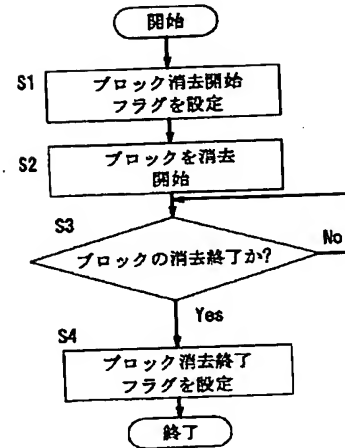
【図5】



【図9】



【図8】



フロントページの続き

(72) 発明者 室井 義則

大阪府門真市大字門真1048番地松下電工株  
式会社内

Fターム(参考) 5B018 GA04 KA03 NA06 QA05 QA15  
5B025 AE08 AF01 AF02

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-032256  
 (43)Date of publication of application : 31.01.2002

(51)Int.Cl.

G06F 12/00  
 G06F 12/16  
 G11C 16/02  
 G11C 16/04  
 G11C 29/00

(21)Application number : 2000-218536  
 (22)Date of filing : 19.07.2000

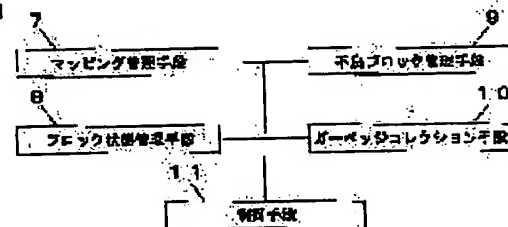
(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD  
 (72)Inventor : KANEGAE HIDEKI

## (54) TERMINAL

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a terminal capable of preventing concentration of rewrite on a specified area on a NAND type flash memory, distributing rewrite frequency to the entire NAND type flash memory, reducing rewrite frequency of a block to the utmost when the rewrite is generated and enhancing processing speed regarding data rewrite of a product.

**SOLUTION:** The terminal is provided with a mapping managing means 7 to convert a logical sector number into a physical sector number as sequential numbers allocated to a data storage area on the NAND type flash memory by the unit of write (page), a block state managing means 8 to manage a state of a block as an erasure unit of the NAND type flash memory, a defective block managing means 9 and a garbage collection means 10 to erase unnecessary data in the block at fixed timing and the garbage collection means 10 is constituted so that the unnecessary data in the block is erased.



## LEGAL STATUS

[Date of request for examination]  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number]  
 [Date of registration]  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]  
 [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-32256  
(P2002-32256A)

(43) 公開日 平成14年1月31日 (2002.1.31)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
G 0 6 F 12/00	5 4 2	G 0 6 F 12/00	5 4 2 K 5 B 0 1 8
	5 9 1		5 9 1 5 B 0 2 5
	5 9 7		5 9 7 U 5 B 0 6 0
12/16	3 1 0	12/16	3 1 0 A 5 B 0 8 2
G 1 1 C 16/02		G 1 1 C 29/00	6 0 1 C 5 L 1 0 6
審査請求 未請求 請求項の数17 O L (全 18 頁) 最終頁に続く			

(21) 出願番号 特願2000-218536 (P2000-218536)

(22) 出願日 平成12年7月19日 (2000.7.19)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 鐘ヶ江 秀樹

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

Fターム(参考) 5B018 GA04 MA23 NA06 QA01

5B025 AD01 AD04 AD08 AE01 AE08

5B060 AA10

5B082 CA01 GA14 JA06

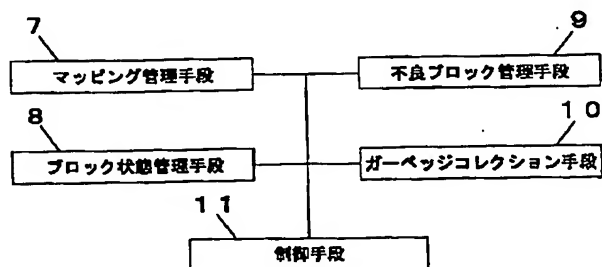
5L106 AA10 CC37

(54) 【発明の名称】 端末装置

(57) 【要約】

【課題】 NAND型フラッシュメモリ上の特定の領域に書換えが集中するのを防ぎ、NAND型フラッシュメモリ全体に書換え頻度を分散させることができ、また書換えが発生した際には、ブロックの書換え回数を極力減少させ、製品のデータ書換えに関する処理速度を向上できる端末装置を提供すること。

【解決手段】 論理セクタ番号をNAND型フラッシュメモリ上のデータ記憶領域に対して書き込み単位（ページ）ごとに割り振られたシーケンシャルな番号である物理セクタ番号に変換するマッピング管理手段7と、NAND型フラッシュメモリの消去単位であるブロックの状態を管理するブロック状態管理手段8と、不良ブロック管理手段9と、ブロック内の不要なデータを一定のタイミングで消去するガベージコレクション手段10とを備え、ブロック内の不要なデータを消去するようにガベージコレクション手段を構成する。





**【特許請求の範囲】**

【請求項1】FATファイルシステムなどの一般的なファイルシステムがデータアクセスの際に用いる論理セクタ番号を、NAND型フラッシュメモリ上のデータ記憶領域に対して書き込み単位ごとに割り振られたシーケンシャルな番号である物理セクタ番号に変換するマッピング管理手段と、NAND型フラッシュメモリの消去単位であるブロックの状態すなわちブロック内の空きセクタ数や各セクタが有効なデータを保持しているかどうかなどの状態を管理するブロック状態管理手段と、アクセス不可能な不良ブロックを管理する不良ブロック管理手段と、ブロック内の不要なデータを一定のタイミングで消去するガーベッジコレクション手段と、プログラムやプロセッサ等で構成され、端末装置全体の振る舞いを制御する制御手段とを有する端末装置であって、システムがアイドルの間にブロック内の不要なデータを消去するようにガーベッジコレクション手段を構成することにより、システム使用中の負荷を削減することを特徴とする端末装置。

【請求項2】FATファイルシステムなどの一般的なファイルシステムがデータアクセスの際に用いる論理セクタ番号を、NAND型フラッシュメモリ上のデータ記憶領域に対して書き込み単位ごとに割り振られたシーケンシャルな番号である物理セクタ番号に変換するマッピング管理手段と、NAND型フラッシュメモリの消去単位であるブロックの状態すなわちブロック内の空きセクタ数や各物理セクタが有効なデータを保持しているかどうかなどの状態を管理するブロック状態管理手段と、アクセス不可能な不良ブロックを管理する不良ブロック管理手段と、ブロック内の不要なデータを一定のタイミングで消去するガーベッジコレクション手段と、プログラムやプロセッサ等で構成され、端末装置全体の振る舞いを制御する制御手段とを有する端末装置であって、ガーベッジコレクションが必要なブロック内の有効なデータがある規定値以上存在する場合、フラッシュメモリ内の空きブロックに変更後の物理セクタを書きこむガーベッジコレクション手段を構成することにより、毎回ガーベッジコレクションが発生することを避けることを特徴とする端末装置。

【請求項3】FATファイルシステムなどの一般的なファイルシステムがデータアクセスの際に用いる論理セクタ番号を、NAND型フラッシュメモリ上のデータ記憶領域に対して書き込み単位ごとに割り振られたシーケンシャルな番号である物理セクタ番号に変換するマッピング管理手段と、NAND型フラッシュメモリの消去単位であるブロックの状態すなわちブロック内の空きセクタ数や各物理セクタが有効なデータを保持しているかどうかなどの状態を管理するブロック状態管理手段と、アクセス不可能な不良ブロックを管理する不良ブロック管理手段と、ブロック内の不要なデータを一定のタイミング

で消去するガーベッジコレクション手段と、プログラムやプロセッサ等で構成され、端末装置全体の振る舞いを制御する制御手段とを有する端末装置であって、ガーベッジコレクションが必要なブロック内の有効なデータがある規定値以上存在する場合、フラッシュメモリに空きブロックが存在する際にはその空きブロックに、また空きブロックが存在しない場合には書き込みセクタ数が最小のブロックに対して、変更後の物理セクタを書きこむガーベッジコレクション手段を構成することにより、毎回ガーベッジコレクションが発生することを避けることを特徴とする端末装置。

【請求項4】FATファイルシステムなどの一般的なファイルシステムがデータアクセスの際に用いる論理セクタ番号を、NAND型フラッシュメモリ上のデータ記憶領域に対して書き込み単位ごとに割り振られたシーケンシャルな番号である物理セクタ番号に変換するマッピング管理手段と、NAND型フラッシュメモリの消去単位であるブロックの状態すなわちブロック内の空きセクタ数や各物理セクタが有効なデータを保持しているかどうかなどの状態を管理するブロック状態管理手段と、アクセス不可能な不良ブロックを管理する不良ブロック管理手段と、ブロック内の不要なデータを一定のタイミングで消去するガーベッジコレクション手段と、ブロックの消去回数を管理する消去回数管理手段と、プログラムやプロセッサ等で構成され、端末装置全体の振る舞いを制御する制御手段とを有することにより、ガーベッジコレクションの際は消去回数が最小のブロックを用いることで、ブロックの消去回数を平均化することを特徴とする端末装置。

【請求項5】FATファイルシステムなどの一般的なファイルシステムがデータアクセスの際に用いる論理セクタ番号を、NAND型フラッシュメモリ上のデータ記憶領域に対して書き込み単位ごとに割り振られたシーケンシャルな番号である物理セクタ番号に変換するマッピング管理手段と、NAND型フラッシュメモリの消去単位であるブロックの状態すなわちブロック内の空きセクタ数や各物理セクタが有効なデータを保持しているかどうかなどの状態を管理するブロック状態管理手段と、アクセス不可能な不良ブロックを管理する不良ブロック管理手段と、ブロック内の不要なデータを一定のタイミングで消去するガーベッジコレクション手段と、ブロックの消去回数を管理する消去回数管理手段と、論理セクタの書換え回数をカウントする書換え回数管理手段と、プログラムやプロセッサ等で構成され、端末装置全体の振る舞いを制御する制御手段とを有することにより、ガーベッジコレクションの際に書換え頻度の低い論理セクタは消去回数の多いブロックに、書換え頻度の高い論理セクタは消去回数の少ないブロックに配置することで、ブロックの消去回数を平均化することを特徴とする端末装置。

【請求項6】請求項1～3に記載の端末装置において、マッピング管理手段、ブロック状態管理手段、不良ブロック管理手段の生成に必要なデータをNAND型フラッシュメモリ上に記憶し、電源投入後のシステム初期化時にそれらをRAMなどの揮発性メモリで構成される記憶手段上に生成することを特徴とする端末装置。

【請求項7】請求項1～3に記載の端末装置において、マッピング管理手段、ブロック状態管理手段の生成に必要なデータを、NAND型フラッシュメモリの冗長セルアレイと呼ばれる冗長部に記憶し、電源投入後のシステム初期化時にそれらをRAMなどの揮発性メモリで構成される記憶手段上に生成することにより、NAND型フラッシュメモリの使用効率を高めることを特徴とする端末装置。

【請求項8】請求項1～3に記載の端末装置において、マッピング管理手段、ブロック状態管理手段、不良ブロック管理手段の生成に必要なデータを、NAND型フラッシュメモリ以外の不揮発性メモリ上に記憶し、電源投入後のシステム初期化時にそれらをRAMなどの揮発性メモリで構成される記憶手段上に生成することにより、処理速度とNAND型フラッシュメモリの使用効率を高めることを特徴とする端末装置。

【請求項9】請求項4に記載の端末装置において、マッピング管理手段、ブロック状態管理手段、不良ブロック管理手段、消去回数管理手段の生成に必要なデータをNAND型フラッシュメモリ上に記憶し、電源投入後のシステム初期化時にそれらをRAMなどの揮発性メモリで構成される記憶手段上に生成することにより、処理速度を高めることを特徴とする端末装置。

【請求項10】請求項4に記載の端末装置において、マッピング管理手段、ブロック状態管理手段、消去回数管理手段の生成に必要なデータを、NAND型フラッシュメモリの冗長セルアレイと呼ばれる冗長部に記憶し、電源投入後のシステム初期化時にそれらをRAMなどの揮発性メモリで構成される記憶手段上に生成することにより、処理速度とNAND型フラッシュメモリの使用効率を高めることを特徴とする端末装置。

【請求項11】請求項4に記載の端末装置において、マッピング管理手段、ブロック状態管理手段、不良ブロック管理手段、消去回数管理手段の生成に必要なデータを、NAND型フラッシュメモリやDRAM以外の不揮発性メモリ上に記憶し、電源投入後のシステム初期化時にそれらをRAMなどの揮発性メモリで構成される記憶手段上に生成することにより、処理速度とNAND型フラッシュメモリの使用効率を高めることを特徴とする端末装置。

【請求項12】請求項10に記載の端末装置において、消去回数管理手段の生成に必要なデータはNAND型フラッシュメモリ上に置かずに、電源投入後のシステム初期化時に毎回RAMなどの揮発性メモリで構成される記

憶メモリ上に生成することにより、NAND型フラッシュメモリの使用効率を高めることを特徴とする端末装置。

【請求項13】請求項5に記載の端末装置において、マッピング管理手段、ブロック状態管理手段、不良ブロック管理手段、消去回数管理手段、書換え回数管理手段の生成に必要なデータをNAND型フラッシュメモリ上に記憶し、電源投入後のシステム初期化時にそれらをRAMなどの揮発性メモリで構成される記憶手段上に生成することにより、処理速度を高めることを特徴とする端末装置。

【請求項14】請求項5に記載の端末装置において、マッピング管理手段、ブロック状態管理手段、消去回数管理手段、書換え回数管理手段の生成に必要なデータを、NAND型フラッシュメモリの冗長セルアレイと呼ばれる冗長部に記憶し、電源投入後のシステム初期化時にそれらをRAMなどの揮発性メモリで構成される記憶手段上に生成することにより、処理速度とNAND型フラッシュメモリの使用効率を高めることを特徴とする端末装置。

【請求項15】請求項5に記載の端末装置において、マッピング管理手段、ブロック状態管理手段、不良ブロック管理手段、消去回数管理手段、書換え回数管理手段の生成に必要なデータを、NAND型フラッシュメモリやDRAM以外の不揮発性メモリ上（例えばプログラム格納用のNOR型フラッシュメモリ等）に記憶し、電源投入後のシステム初期化時にそれらをRAMなどの揮発性メモリで構成される記憶手段上に生成することにより、処理速度とNAND型フラッシュメモリの使用効率を高めることを特徴とする端末装置。

【請求項16】請求項14に記載の端末装置において、消去回数管理手段の生成に必要なデータはNAND型フラッシュメモリ上に置かずに、電源投入後のシステム初期化時に毎回RAMなどの揮発性メモリで構成される記憶メモリ上に生成することにより、処理速度とNAND型フラッシュメモリの使用効率を高めることを特徴とする端末装置。

【請求項17】請求項14に記載の端末装置において、書換え回数管理手段の生成に必要なデータはNAND型フラッシュメモリ上に置かずに、電源投入後のシステム初期化時に、毎回RAMなどの揮発性メモリで構成される記憶メモリ上に生成することにより、NAND型フラッシュメモリの使用効率を高めることを特徴とする端末装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、NAND型フラッシュメモリを搭載した端末装置に関するものである。

【0002】

【従来の技術】近年、端末装置の記憶装置としてフラッ

シュメモリの一種であるNAND型フラッシュメモリが注目を集めている。

#### 【0003】

【発明が解決しようとする課題】NAND型フラッシュメモリはデータの上書きが不可能であり、データ書換えの際にはブロックと呼ばれる単位で一括消去した上で、変更したデータを再度書き込みしなければならないという特徴がある。また、ブロックの消去保証回数の制限（一般的には100万回）があり、これを上回ると、不良ブロックと呼ばれる、データへのアクセスが不可能となるブロックに変化してしまう特性も存在する。そのため、データ管理用としてFAT（File Allocation Table）ファイルシステムなどの一般的なファイルシステムを用いた場合、ファイルの管理領域などのある一部の領域に対する書換えが頻繁に発生してしまい、その結果、書換えが集中したブロックのみがいち早く消去保証回数に達し、製品寿命が短くなってしまふ。また、ブロック消去には非常に長い処理時間が必要であるため、データの変更ごとにブロック消去を実行していると、製品のデータ書換えに関する処理速度が悪化してしまふ。

【0004】そこで本発明は、NAND型フラッシュメモリを搭載した端末装置において、NAND型フラッシュメモリ上の特定の領域に書換えが集中するのを防ぎ、NAND型フラッシュメモリ全体に書換え頻度を分散させることができる端末装置を提供することを目的とする。また、書換えが発生した際には、そのブロック内の空き領域に逐次データを書き込むことにより、ブロックの書換え回数を極力減少させ、製品のデータ書換えに関する処理速度を向上させることができる端末装置を提供することを目的とする。

#### 【0005】

【課題を解決するための手段】本発明は、FATファイルシステムなどの一般的なファイルシステムがデータアクセスの際に用いるデータの単位を論理セクタ番号を、NAND型フラッシュメモリ上のデータ記憶領域に対して書き込み単位ごとに割り振られたシーケンシャルな番号である物理セクタ番号に変換するマッピング管理手段と、NAND型フラッシュメモリの消去単位であるブロックの状態すなわちブロック内の空きセクタ数や各セクタが有効なデータを保持しているかどうかなどの状態を管理するブロック状態管理手段と、アクセス不可能な不良ブロックを管理する不良ブロック管理手段と、ブロック内の不要なデータを一定のタイミングで消去するガーベッジコレクション手段と、プログラムやプロセッサ等で構成され、端末装置全体の振る舞いを制御する制御手段とを有する端末装置であって、システムがアイドルの間にブロック内の不要なデータを消去するようにガーベッジコレクション手段を構成することにより、システム使用中の負荷を削減するようにした。

【0006】本発明によれば、NAND型フラッシュメモリを搭載した端末装置において、NAND型フラッシュメモリ上の特定の領域に書換えが集中するのを防ぎ、NAND型フラッシュメモリ全体に書換え頻度を分散させることができる端末装置を提供できる。また、書換えが発生した際には、そのブロック内の空き領域に逐次データを書き込むことにより、ブロックの書換え回数を極力減少させ、製品のデータ書換えに関する処理速度を向上させることができる端末装置を提供できる。

#### 【0007】

【発明の実施の形態】請求項1に記載の発明は、FATファイルシステムなどの一般的なファイルシステムがデータアクセスの際に用いる論理セクタ番号を、NAND型フラッシュメモリ上のデータ記憶領域に対して書き込み単位（ページ）ごとに割り振られたシーケンシャルな番号である物理セクタ番号に変換するマッピング管理手段と、NAND型フラッシュメモリの消去単位であるブロックの状態すなわちブロック内の空きセクタ数や各物理セクタが有効なデータを保持しているかどうかなどの状態を管理するブロック状態管理手段と、アクセス不可能な不良ブロックを管理する不良ブロック管理手段と、ブロック内の不要なデータを一定のタイミングで消去するガーベッジコレクション手段と、プログラムやプロセッサ等で構成され、端末装置全体の振る舞いを制御する制御手段とを有する端末装置であって、システムがアイドルの間にブロック内の不要なデータを消去するようにガーベッジコレクション手段を構成することにより、システム使用中の負荷を極力削減することが可能となる。

【0008】請求項2に記載の発明は、FATファイルシステムなどの一般的なファイルシステムがデータアクセスの際に用いる論理セクタ番号を、NAND型フラッシュメモリ上のデータ記憶領域に対して書き込み単位（ページ）ごとに割り振られたシーケンシャルな番号である物理セクタ番号に変換するマッピング管理手段と、NAND型フラッシュメモリの消去単位であるブロックの状態すなわちブロック内の空きセクタ数や各物理セクタが有効なデータを保持しているかどうかなどの状態を管理するブロック状態管理手段と、アクセス不可能な不良ブロックを管理する不良ブロック管理手段と、ブロック内の不要なデータを一定のタイミングで消去するガーベッジコレクション手段と、プログラムやプロセッサ等で構成され、端末装置全体の振る舞いを制御する制御手段とを有する端末装置であって、ガーベッジコレクションが必要なブロック内の有効なデータがある規定値以上存在する場合、フラッシュメモリ内の空きブロックに変更後の物理セクタを書き込むガーベッジコレクション手段を構成することにより、毎回ガーベッジコレクションが発生することを避けることが可能となる。

【0009】請求項3に記載の発明は、FATファイルシステムなどの一般的なファイルシステムがデータアク

セスの際に用いる論理セクタ番号を、NAND型フラッシュメモリ上のデータ記憶領域に対して書き込み単位（ページ）ごとに割り振られたシーケンシャルな番号である物理セクタ番号に変換するマッピング管理手段と、NAND型フラッシュメモリの消去単位であるブロックの状態すなわちブロック内の空きセクタ数や各物理セクタが有効なデータを保持しているかどうかなどの状態を管理するブロック状態管理手段と、アクセス不可能な不良ブロックを管理する不良ブロック管理手段と、ブロック内の不要なデータを一定のタイミングで消去するガーベッジコレクション手段と、プログラムやプロセッサ等で構成され、端末装置全体の振る舞いを制御する制御手段とを有する端末装置であって、ガーベッジコレクションが必要なブロック内の有効なデータがある規定値以上存在する場合、フラッシュメモリに空きブロックが存在する際にはその空きブロックに、また空きブロックが存在しない場合には書き込みセクタ数が最小のブロックに対して、変更後の物理セクタを書きこむガーベッジコレクション手段を構成することにより、毎回ガーベッジコレクションが発生することを極力避けることが可能となる。

【0010】請求項4に記載の発明は、FATファイルシステムなどの一般的なファイルシステムがデータアクセスの際に用いる論理セクタ番号を、NAND型フラッシュメモリ上のデータ記憶領域に対して書き込み単位（ページ）ごとに割り振られたシーケンシャルな番号である物理セクタ番号に変換するマッピング管理手段と、NAND型フラッシュメモリの消去単位であるブロックの状態すなわちブロック内の空きセクタ数や各物理セクタが有効なデータを保持しているかどうかなどの状態を管理するブロック状態管理手段と、アクセス不可能な不良ブロックを管理する不良ブロック管理手段と、ブロック内の不要なデータを一定のタイミングで消去するガーベッジコレクション手段と、ブロックの消去回数を管理する消去回数管理手段と、プログラムやプロセッサ等で構成され、端末装置全体の振る舞いを制御する制御手段とを有することにより、ガーベッジコレクションの際は消去回数が最小のブロックを用いることで、ブロックの消去回数を平均化するものであり、ガーベッジコレクションの際は、ガーベッジコレクションの対象となったブロックの消去回数が予め設定された規定値以上になった場合に、消去回数が最小のブロックを用いることで、ブロックの消去回数を平均化することが可能となる。

【0011】請求項5に記載の発明は、FATファイルシステムなどの一般的なファイルシステムがデータアクセスの際に用いる論理セクタ番号を、NAND型フラッシュメモリ上のデータ記憶領域に対して書き込み単位（ページ）ごとに割り振られたシーケンシャルな番号である物理セクタ番号に変換するマッピング管理手段と、NAND型フラッシュメモリの消去単位であるブロック

の状態すなわちブロック内の空きセクタ数や各物理セクタが有効なデータを保持しているかどうかなどの状態を管理するブロック状態管理手段と、アクセス不可能な不良ブロックを管理する不良ブロック管理手段と、ブロック内の不要なデータを一定のタイミングで消去するガーベッジコレクション手段と、ブロックの消去回数を管理する消去回数管理手段と、論理セクタの書換え回数をカウントする書換え回数管理手段と、プログラムやプロセッサ等で構成され、端末装置全体の振る舞いを制御する制御手段とを有することにより、ガーベッジコレクションの際に書換え頻度の低い論理セクタは消去回数の多いブロックに、書換え頻度の高い論理セクタは消去回数の少ないブロックに配置することで、ブロックの消去回数を平均化するものであり、ガーベッジコレクションの際に書換え頻度の低い論理セクタは消去回数の多いブロックに、書換え頻度の高い論理セクタは消去回数の少ないブロックに配置することで、ブロックの消去回数を平均化することが可能となる。

【0012】請求項6に記載の発明は、請求項1～3に記載の端末装置において、マッピング管理手段、ブロック状態管理手段、不良ブロック管理手段の生成に必要なデータをNAND型フラッシュメモリ上に記憶し、電源投入後のシステム初期化時にそれらをRAMなどの揮発性メモリで構成される記憶手段上に生成することにより、アクセス頻度の多い管理領域をNAND型フラッシュメモリと比較してアクセススピードの速い揮発性メモリ上に保持することが可能となり、製品のデータ書換えに関する処理速度が向上する。

【0013】請求項7に記載の発明は、請求項1～3に記載の端末装置において、マッピング管理手段、ブロック状態管理手段の生成に必要なデータを、NAND型フラッシュメモリの冗長セルアレイと呼ばれる冗長部に記憶し、電源投入後のシステム初期化時にそれらをRAMなどの揮発性メモリで構成される記憶手段上に生成することにより、NAND型フラッシュメモリの使用効率を高めるものであり、製品のデータ書換えに関する処理速度が向上すると同時に、NAND型フラッシュメモリの使用効率が向上する。

【0014】請求項8に記載の発明は、請求項1～3に記載の端末装置において、マッピング管理手段、ブロック状態管理手段、不良ブロック管理手段の生成に必要なデータを、NAND型フラッシュメモリ以外の不揮発性メモリ（例えばプログラム格納用のNOR型フラッシュメモリ等）上に記憶し、電源投入後のシステム初期化時にそれらをRAMなどの揮発性メモリで構成される記憶手段上に生成することにより、処理速度とNAND型フラッシュメモリの使用効率を高めるものであり、製品のデータ書換えに関する処理速度が向上すると同時に、NAND型フラッシュメモリの使用効率が向上する。

【0015】請求項9に記載の発明は、請求項4に記載

の端末装置において、マッピング管理手段、ブロック状態管理手段、不良ブロック管理手段、消去回数管理手段の生成に必要なデータをNAND型フラッシュメモリ上に記憶し、電源投入後のシステム初期化時にそれらをRAMなどの揮発性メモリで構成される記憶手段上に生成することにより、処理速度を高めるものであり、製品のデータ書換えに関する処理速度が向上する。

【0016】請求項10に記載の発明は、請求項4に記載の端末装置において、マッピング管理手段、ブロック状態管理手段、不良ブロック管理手段、消去回数管理手段の生成に必要なデータを、NAND型フラッシュメモリの冗長セルアレイと呼ばれる冗長部に記憶し、電源投入後のシステム初期化時にそれらをRAMなどの揮発性メモリで構成される記憶手段上に生成することにより、処理速度とNAND型フラッシュメモリの使用効率を高めるものであり、製品のデータ書換えに関する処理速度が向上すると同時に、NAND型フラッシュメモリの使用効率が向上する。

【0017】請求項11に記載の発明は、請求項4に記載の端末装置において、マッピング管理手段、ブロック状態管理手段、不良ブロック管理手段、消去回数管理手段の生成に必要なデータを、NAND型フラッシュメモリやDRAM以外の不揮発性メモリ（例えばプログラム格納用のNOR型フラッシュメモリ等）上に記憶し、電源投入後のシステム初期化時にそれらをRAMなどの揮発性メモリで構成される記憶手段上に生成することにより、処理速度とNAND型フラッシュメモリの使用効率を高めるものであり、製品のデータ書換えに関する処理速度が向上すると同時に、NAND型フラッシュメモリの使用効率が向上する。

【0018】請求項12に記載の発明は、請求項10に記載の端末装置において、消去回数管理手段の生成に必要なデータはNAND型フラッシュメモリ上に置かず、電源投入後のシステム初期化時に毎回RAMなどの揮発性メモリで構成される記憶メモリ上に生成することにより、NAND型フラッシュメモリの使用効率を高めるものであり、NAND型フラッシュメモリの使用効率が向上する。

【0019】請求項13に記載の発明は、請求項5に記載の端末装置において、マッピング管理手段、ブロック状態管理手段、不良ブロック管理手段、消去回数管理手段、書換え回数管理手段の生成に必要なデータをNAND型フラッシュメモリ上に記憶し、電源投入後のシステム初期化時にそれらをRAMなどの揮発性メモリで構成される記憶手段上に生成することにより、処理速度を高めるものであり、製品のデータ書換えに関する処理速度が向上する。

【0020】請求項14に記載の発明は、請求項5に記載の端末装置において、マッピング管理手段、ブロック状態管理手段、消去回数管理手段、書換え回数管理手段の生成に必要なデータを、NAND型フラッシュメモリ

の冗長セルアレイと呼ばれる冗長部に記憶し、電源投入後のシステム初期化時にそれらをRAMなどの揮発性メモリで構成される記憶手段上に生成することにより、処理速度とNAND型フラッシュメモリの使用効率を高めるものであり、製品のデータ書換えに関する処理速度が向上すると同時に、NAND型フラッシュメモリの使用効率が向上する。

【0021】請求項15に記載の発明は、請求項5に記載の端末装置において、マッピング管理手段、ブロック状態管理手段、不良ブロック管理手段、消去回数管理手段、書換え回数管理手段の生成に必要なデータを、NAND型フラッシュメモリやDRAM以外の不揮発性メモリ上（例えばプログラム格納用のNOR型フラッシュメモリ等）に記憶し、電源投入後のシステム初期化時にそれらをRAMなどの揮発性メモリで構成される記憶手段上に生成することにより、処理速度とNAND型フラッシュメモリの使用効率を高めるものであり、製品のデータ書換えに関する処理速度が向上すると同時に、NAND型フラッシュメモリの使用効率が向上する。

【0022】請求項16に記載の発明は、請求項14に記載の端末装置において、消去回数管理手段の生成に必要なデータはNAND型フラッシュメモリ上に置かず、電源投入後のシステム初期化時に毎回RAMなどの揮発性メモリで構成される記憶メモリ上に生成することにより、処理速度とNAND型フラッシュメモリの使用効率を高めるものであり、製品のデータ書換えに関する処理速度が向上すると同時に、NAND型フラッシュメモリの使用効率が向上する。

【0023】請求項17に記載の発明は、請求項14に記載の端末装置において、書換え回数管理手段の生成に必要なデータはNAND型フラッシュメモリ上に置かず、電源投入後のシステム初期化時に、毎回RAMなどの揮発性メモリで構成される記憶メモリ上に生成することにより、NAND型フラッシュメモリの使用効率が向上する。

【0024】（実施の形態1）図1は、本発明の実施の形態1～17におけるNAND型フラッシュメモリの構成図であって、一般的なNAND型フラッシュメモリを示すものである。1はNAND型フラッシュメモリ全体、2はNAND型フラッシュメモリのデータ消去単位であるブロック、3はアクセスが不可能な不良ブロック、4はデータの書き込み単位であるページ（セクタ）、5はページ内の実データが書き込まれる部分であるデータ部、6はエラー訂正符号等が格納される冗長セルアレイである。

【0025】図2は本発明の実施の形態1～3における端末装置の機能ブロック図である。7はFAT（File Allocation Table）ファイルシステムなどの一般的なファイルシステムがデータアクセスの際に用いる論理セクタ番号を、NAND型フラッシュ

メモリ上のデータ記憶領域に対して書き込み単位（ページ）ごとに割り振られたシーケンシャルな番号である物理セクタ番号に変換するマッピング管理手段、8はNAND型フラッシュメモリの消去単位であるブロックの状態（ブロック内の空きセクタ数や各物理セクタが有効なデータを保持しているかどうかなど）を管理するブロック状態管理手段、9は不可能な不良ブロックを管理する不良ブロック管理手段、10はブロック内の不要なデータを一定のタイミングで消去するガーベッジコレクション手段、11はプログラムやプロセッサ等で構成され、端末装置全体の振る舞いを制御する制御手段である。

【0026】図3は本発明の実施の形態1～17における端末装置のハードウェア構成を示す装置ブロック図である。入力デバイス12は、ペンやマウス等のポインティングデバイスや、キーボード、テンキー等を使用したユーザによるデータの入力を可能にするものである。出力デバイス13はLCDやディスプレイ等で構成され、文字や図形等のデータの表示を行う。NAND型フラッシュメモリ14はユーザデータや工場設定値等の不揮発性データが格納される。また、それに加えて中央処理装置15によって処理実行されるプログラムが格納される場合もある。プログラム格納メモリ16は各種リードオンリメモリやNOR型フラッシュメモリ等で構成され、端末装置起動時のハードウェア初期化プログラムであるブートプログラム等が格納される。ランダムアクセスメモリ17には入力装置から読み込んだデータや、プログラムの実行によって作成されるデータ等が格納される。また、前記NAND型フラッシュメモリ14に格納されているプログラムが実行処理のために、ランダムアクセスメモリ17上に展開される場合もある。

【0027】以下、本発明の実施の形態1の動作について説明する。図4は本発明の実施の形態1～17におけるデータリード手順を示すフローチャート、図5は本発明の実施の形態1～17におけるデータライト手順を示すフローチャート、図6は本発明の実施の形態1におけるガーベッジコレクション手順を示すフローチャートである。

【0028】図4は端末装置がNAND型フラッシュメモリからデータをリードする手順である。ステップS1では、論理セクタのリードが生じた場合、マッピング管理手段7で実現されるマッピングテーブルを参照する。ステップS2では、マッピングテーブルを参照することにより、指定された論理セクタが格納されている物理セクタが存在しているかどうか判断する。もし存在している場合はステップS3に進むが、そうでない場合はステップS4に進み、エラーをセットして処理を終了する。

【0029】図5は端末装置がNAND型フラッシュメモリからデータをライトする手順である。論理セクタのライトが生じた場合、ステップS5では指定された論理セクタが範囲内かどうかチェックする。論理セクタが範

囲内であればステップS6に進むが、そうでない場合はステップS7に進み、エラーをセットした後で処理を終了する。

【0030】ステップS6では、指定された論理セクタに対応する物理セクタが、すでにマッピングテーブル内に存在しているかどうか、すなわちデータの更新か、それともデータの新規作成かを判定する。もし存在している場合はステップS8に進み、そうでない場合はステップS17に進む。

【0031】ステップS8では、マッピングテーブルを参照し、対応する物理セクタ数取得する。ステップS9では、ステップS8で取得した物理セクタ数から、その物理セクタがどのブロックに存在するものなのか、ブロックの特定を行う。ステップS10では、特定されたブロック内に空き物理セクタが存在するかどうか、ブロック状態管理手段8で実現されるブロック状態管理テーブルの探索を行う。ステップS11では、ステップS10の結果、空き物理セクタが存在するかどうかの判定を行う。空き物理セクタが発見された場合にはステップS12に、そうでない場合にはステップS13のガーベッジコレクション処理を実行する。

【0032】ステップS12では、発見された空き物理セクタに、実際にデータを書き込む。ステップS14では、ブロック状態管理テーブル内の、前の物理セクタの不要フラグをセットする。ステップS15では、ブロック内の物理セクタの状態などを管理する、ブロック状態管理テーブルの変更を行う。ステップS16では、マッピングテーブルの変更を行い、処理を終了する。

【0033】一方、ステップS17では、全くデータが書き込まれていない空きブロックの探索を行う。ステップS18では、空きブロックが発見されたかどうかの判定を行う。空きブロックが発見された場合にはステップS20に進み、空きブロックの物理セクタに対しデータの書き込みを行う。空きブロックが発見されなかった場合には、ステップS19に進む。ステップS19では、空き物理セクタが存在するブロックを探索する。ステップS21では、空き物理セクタが存在するブロックが発見されたかどうかの判定を、ブロック状態管理テーブルを用いて行う。もし、空き物理セクタが存在するブロックが発見された場合にはステップS22にすすむが、そうでない場合にはステップS23に進み、エラーセット後に処理を終了する。ステップS22では、ブロック状態管理テーブルにより、発見されたブロック内で空き物理セクタを探索する。ステップS24では、ステップS22で検出された空き物理セクタにデータの書き込みを行い、ステップS15に進む。

【0034】図6はガーベッジコレクション処理の手順である。ステップS25は、システムがアイドル状態かどうか判定する。もしアイドル状態であればステップS26に進むが、アイドル状態でなければ、ステップS2



5に戻り、システムがアイドル状態になるのを待つ。ステップS26では、ブロック状態管理テーブルを参照し、ガーベッジコレクションが行われるブロック内の物理セクタのうち、不要フラグがセットされていないセクタを検出、そのセクタをRAM上のバッファにコピーする。ステップS27では、必要に応じてRAMのバッファの内容を適切に書き換えた後、NAND型フラッシュメモリ上のガーベッジコレクション用の入れ替えブロックにデータを書きこむ。ステップS28では、ガーベッジコレクションの対象となったブロックをイレースする。ステップS29では、マッピングテーブルの変更を行う。

【0035】（実施の形態2）以下、本発明の実施の形態2を説明する。図7は本発明の実施の形態2におけるガーベッジコレクション手順を示すフローチャートである。ステップS30では、ガーベッジコレクションの対象となったブロック内で有効な物理セクタ（不要フラグがセットされていない物理セクタ）が予め設定された規定値以上存在しているかどうかを判断する。もし、規定値以上存在している場合にはステップS32へ、そうでない場合にはステップS31へ進む。

【0036】ステップS31では、ブロック状態管理テーブルを参照し、ガーベッジコレクションが行われるブロック内の物理セクタのうち、不要フラグがセットされていないセクタを検出、そのセクタをRAM上のバッファにコピーする。ステップS33では、必要に応じてRAMのバッファの内容を適切に書き換えた後、NAND型フラッシュメモリ上のガーベッジコレクション用の入れ替えブロックにデータを書きこむ。ステップS34では、ガーベッジコレクションの対象となったブロックをイレースする。ステップS35では、マッピングテーブルの変更を行う。

【0037】一方、ステップS32では、全くデータが書き込まれていない空きブロックの探索を行う。ステップS36では、空きブロックが発見されたかどうかの判定を行う。空きブロックが発見された場合にはステップS37に進み、空きブロックが発見されなかった場合には、ステップS31に進む。ステップS37では、空きブロックの物理セクタに対して、書き込み対象となっているデータのみを書きこむ。ステップS38では、この論理セクタが以前に格納されていた物理セクタの不要フラグをセットする。

【0038】（実施の形態3）以下、本発明の実施の形態3を説明する。図8は本発明の実施の形態3におけるガーベッジコレクション手順を示すフローチャートである。ステップS39では、ガーベッジコレクションの対象となったブロック内で有効な物理セクタ（不要フラグがセットされていない物理セクタ）が予め設定された規定値以上存在しているかどうかを判断する。もし、規定値以上存在している場合にはステップS41へ、そうで

ない場合にはステップS40へ進む。

【0039】ステップS40では、ブロック状態管理テーブルを参照し、ガーベッジコレクションが行われるブロック内の物理セクタのうち、不要フラグがセットされていないセクタを検出、そのセクタをRAM上のバッファにコピーする。ステップS42では、必要に応じてRAMのバッファの内容を適切に書き換えた後、NAND型フラッシュメモリ上のガーベッジコレクション用の入れ替えブロックにデータを書きこむ。ステップS43では、ガーベッジコレクションの対象となったブロックをイレースする。ステップS44では、マッピングテーブルの変更を行う。

【0040】一方、ステップS41では、全くデータが書き込まれていない空きブロックの探索を行う。ステップS45では、空きブロックが発見されたかどうかの判定を行う。空きブロックが発見された場合にはステップS46に進み、空きブロックが発見されなかった場合には、ステップS47に進む。ステップS46では、空きブロックの物理セクタに対して、書き込み対象となっているデータのみを書きこむ。ステップS48では、この論理セクタが以前に格納されていた物理セクタの不要フラグをセットする。一方、ステップS47では、書き込みセクタ数が最小のブロックを探索する。ステップS49では、探索の結果、検出されたブロックに対して書き込み対象となっているデータのみを書きこむ。

【0041】（実施の形態4）図9は本発明の実施の形態4における端末装置の機能を示す機能ブロック図、図10は本発明の実施の形態4におけるガーベッジコレクション手順を示すフローチャートである。

【0042】図9において、18はFAT（File Allocation Table）ファイルシステムなどの一般的なファイルシステムがデータアクセスの際に用いる論理セクタ番号を、NAND型フラッシュメモリ上のデータ記憶領域に対して書き込み単位（ページ）ごとに割り振られたシーケンシャルな番号である物理セクタ番号に変換するマッピング管理手段、19はNAND型フラッシュメモリの消去単位であるブロックの状態（ブロック内の空きセクタ数や各物理セクタが有効なデータを保持しているかどうかなど）を管理するブロック状態管理手段、20は不可能な不良ブロックを管理する不良ブロック管理手段、21はブロック内の不要なデータを一定のタイミングで消去するガーベッジコレクション手段、22は各ブロックの消去回数を管理する消去回数管理手段、23はプログラムやプロセッサ等で構成され、端末装置全体の振る舞いを制御する制御手段である。

【0043】以下、本発明の実施の形態4の動作について、ガーベッジコレクション手順を示すフローチャートである図10をもとに説明する。ステップS45では、ブロック状態管理テーブルを参照し、ガーベッジコレク

ションが行われるブロック内の物理セクタのうち、不要フラグがセットされていないセクタを検出、そのセクタをRAM上のバッファにコピーする。ステップS46では、必要に応じてRAMのバッファの内容を適切に書き換えた後、NAND型フラッシュメモリ上のガーベッジコレクション用の入れ替えブロックにデータを書きこむ。ステップS47では、ガーベッジコレクションの対象となったブロックをイレースする。ステップS48では、ガーベッジコレクションの対象となったブロックの消去回数をインクリメントする。ステップS49では、ガーベッジコレクションの対象となったブロックの消去回数が、予め設定された規定値を上回ったかどうか判定する。もし規定値以上である場合はステップS50に進み、そうでない場合はステップS51に進む。検出されたブロックに対して書き込み対象となっているデータのみを書きこむ。ステップS51では、マッピングテーブルの変更を行う。

【0044】一方、ステップS50では消去回数管理手段22を用いて、消去回数が最低のブロックを探索する。ステップS52では、ブロック状態管理テーブルを参照し、消去回数が最低のブロック内の物理セクタのうち、不要フラグがセットされていないセクタを検出、そのセクタをRAM上のバッファにコピーする。ステップS53では、必要に応じてRAMのバッファの内容を適切に書き換えた後、ステップS47においてイレースされたブロックにデータを書きこむ。ステップS54では、消去回数が最低のブロックのイレースを行い、このブロックをガーベッジコレクション用の入れ替えブロックとする。ステップS55では、このブロックの消去回数をインクリメントする。

【0045】（実施の形態5）図11は本発明の実施の形態5における端末装置の機能を示す機能ブロック図、図12は本発明の実施の形態5におけるガーベッジコレクション手順を示すフローチャートである。

【0046】24はマッピング管理手段、25はブロック状態管理手段、26は不可能な不良ブロックを管理する不良ブロック管理手段、27はブロック内の不要なデータを一定のタイミングで消去するガーベッジコレクション手段、28は各ブロックの消去回数を管理する消去回数管理手段、29は各論理セクタの書換え回数を管理する書換え回数管理手段、30はプログラムやプロセッサ等で構成され、端末装置全体の振る舞いを制御する制御手段である。

【0047】以下、本発明の実施の形態5の動作について、ガーベッジコレクション手順を示すフローチャートである図12をもとに説明する。ステップS56では、書換え回数管理手段29により、対象となる論理セクタの書換え頻度が高いかどうかを判定する。書換え頻度が高い場合にはステップS57に進むが、そうでない場合にはステップS58に進む。ステップS58では、対象

となる論理セクタの書換え頻度が低いかどうかを判定する。書換え頻度が低い場合にはステップS59に進むが、そうでない場合にはステップS60に進む。ステップS60では、ブロック状態管理テーブルを参照し、ガーベッジコレクションが行われるブロック内の物理セクタのうち、不要フラグがセットされていないセクタを検出、そのセクタをRAM上のバッファにコピーする。

【0048】ステップS61では、必要に応じてRAMのバッファの内容を適切に書き換えた後、NAND型フラッシュメモリ上のガーベッジコレクション用の入れ替えブロックにデータを書きこむ。ステップS62では、ガーベッジコレクションの対象となったブロックをイレースする。ステップS63では、ガーベッジコレクションの対象となったブロックの消去回数をインクリメントする。ステップS64では、マッピングテーブルの変更を行う。

【0049】一方、ステップS57では、消去回数が低く、かつ、空き物理セクタが存在するブロックを探索する。ステップS59では、消去回数が高く、かつ、空き物理セクタが存在するブロックを探索する。ステップS65では、それぞれ検出されたブロックの空き物理セクタに対してデータの書込みを行う。ステップS66では、対象となった論理セクタの書換え回数をインクリメントする。ステップS67では、この論理セクタが以前に格納されていた物理セクタの不要フラグをセットする。

【0050】（実施の形態6）実施の形態1～3に記載の端末装置において、特にマッピング管理手段、ブロック状態管理手段、不良ブロック管理手段の生成に必要なデータをNAND型フラッシュメモリ上に記憶し、電源投入後のシステム初期化時にそれらをRAMなどの揮発性メモリで構成される記憶手段上に生成する。

【0051】（実施の形態7）実施の形態1～3に記載の端末装置において、特にマッピング管理手段、ブロック状態管理手段の生成に必要なデータを、NAND型フラッシュメモリの冗長セルアレイと呼ばれる冗長部に記憶し、電源投入後のシステム初期化時にそれらをRAMなどの揮発性メモリで構成される記憶手段上に生成する。

【0052】（実施の形態8）実施の形態1～3に記載の端末装置において、特にマッピング管理手段、ブロック状態管理手段、不良ブロック管理手段の生成に必要なデータを、NAND型フラッシュメモリ以外の不揮発性メモリ（例えばプログラム格納用のNOR型フラッシュメモリ等）上に記憶し、電源投入後のシステム初期化時にそれらをRAMなどの揮発性メモリで構成される記憶手段上に生成する。

【0053】（実施の形態9）実施の形態4に記載の端末装置において、特にマッピング管理手段、ブロック状態管理手段、不良ブロック管理手段、消去回数管理手段



の生成に必要なデータをNAND型フラッシュメモリ上に記憶し、電源投入後のシステム初期化時にそれらをRAMなどの揮発性メモリで構成される記憶手段上に生成する。

【0054】（実施の形態10）実施の形態4に記載の端末装置において、特にマッピング管理手段、ブロック状態管理手段、消去回数管理手段の生成に必要なデータを、NAND型フラッシュメモリの冗長セルアレイと呼ばれる冗長部に記憶し、電源投入後のシステム初期化時にそれらをRAMなどの揮発性メモリで構成される記憶手段上に生成する。

【0055】（実施の形態11）実施の形態4に記載の端末装置において、特にマッピング管理手段、ブロック状態管理手段、不良ブロック管理手段、消去回数管理手段の生成に必要なデータを、NAND型フラッシュメモリやDRAM以外の不揮発性メモリ（例えばプログラム格納用のNOR型フラッシュメモリ等）上に記憶し、電源投入後のシステム初期化時にそれらをRAMなどの揮発性メモリで構成される記憶手段上に生成する。

【0056】（実施の形態12）実施の形態10に記載の端末装置において、特に消去回数管理手段の生成に必要なデータはNAND型フラッシュメモリ上に置かずに、電源投入後のシステム初期化時に毎回RAMなどの揮発性メモリで構成される記憶メモリ上に生成する。

【0057】（実施の形態13）実施の形態5に記載の端末装置において、特にマッピング管理手段、ブロック状態管理手段、不良ブロック管理手段、消去回数管理手段、書換え回数管理手段の生成に必要なデータをNAND型フラッシュメモリ上に記憶し、電源投入後のシステム初期化時にそれらをRAMなどの揮発性メモリで構成される記憶手段上に生成する。

【0058】（実施の形態14）実施の形態5に記載の端末装置において、特にマッピング管理手段、ブロック状態管理手段、消去回数管理手段、書換え回数管理手段の生成に必要なデータを、NAND型フラッシュメモリの冗長セルアレイと呼ばれる冗長部に記憶し、電源投入後のシステム初期化時にそれらをRAMなどの揮発性メモリで構成される記憶手段上に生成する。

【0059】（実施の形態15）実施の形態5に記載の端末装置において、特にマッピング管理手段、ブロック状態管理手段、不良ブロック管理手段、消去回数管理手段、書換え回数管理手段の生成に必要なデータを、NAND型フラッシュメモリやDRAM以外の不揮発性メモリ上（例えばプログラム格納用のNOR型フラッシュメモリ等）に記憶し、電源投入後のシステム初期化時にそれらをRAMなどの揮発性メモリで構成される記憶手段上に生成する。

【0060】（実施の形態16）実施の形態14に記載の端末装置において、特に消去回数管理手段の生成に必要なデータはNAND型フラッシュメモリ上に置かず

に、電源投入後のシステム初期化時に毎回RAMなどの揮発性メモリで構成される記憶メモリ上に生成する。

【0061】（実施の形態17）実施の形態14に記載の端末装置において、特に書換え回数管理手段の生成に必要なデータはNAND型フラッシュメモリ上に置かずに、電源投入後のシステム初期化時に、毎回RAMなどの揮発性メモリで構成される記憶メモリ上に生成する。

【0062】

【発明の効果】以上のように本発明によれば、NAND型フラッシュメモリを搭載した端末装置において、NAND型フラッシュメモリ上の特定の領域に書換えが集中するのを防ぎ、NAND型フラッシュメモリ全体に書換え頻度を分散させることが可能となる。また、書換えが発生した際には、そのブロック内の空き領域に逐次データを書き込むことにより、ブロックの書換え回数を極力減少させる。これにより、製品のデータ書換えに関する処理速度を向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態1～17におけるNAND型フラッシュメモリの構成図

【図2】本発明の実施の形態1～3における端末装置の機能ブロック図

【図3】本発明の実施の形態1～17における端末装置のハードウェア構成を示す装置ブロック図

【図4】本発明の実施の形態1～17におけるデータリード手順を示すフローチャート

【図5】本発明の実施の形態1～17におけるデータライト手順を示すフローチャート

【図6】本発明の実施の形態1におけるガーベッジコレクション手順を示すフローチャート

【図7】本発明の実施の形態2におけるガーベッジコレクション手順を示すフローチャート

【図8】本発明の実施の形態3におけるガーベッジコレクション手順を示すフローチャート

【図9】本発明の実施の形態4における端末装置の機能を示す機能ブロック図

【図10】本発明の実施の形態4におけるガーベッジコレクション手順を示すフローチャート

【図11】本発明の実施の形態5における端末装置の機能を示す機能ブロック図

【図12】本発明の実施の形態5におけるガーベッジコレクション手順を示すフローチャート

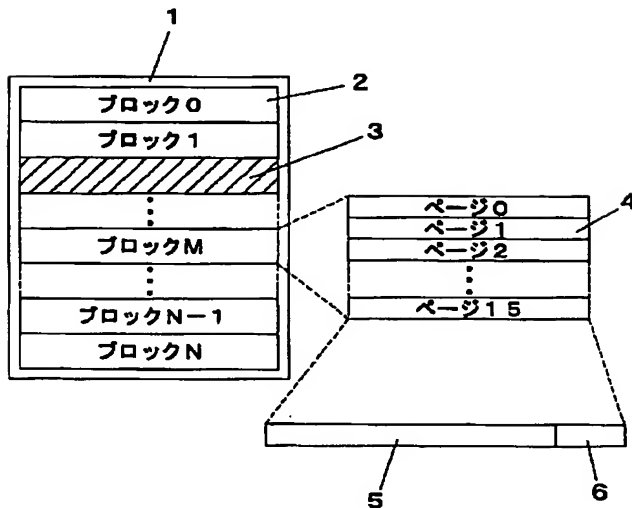
【符号の説明】

- 1 NAND型フラッシュメモリ全体
- 2 ブロック
- 3 不良ブロック
- 4 ページ（セクタ）
- 5 データ部
- 6 冗長セルアレイ
- 7 マッピング管理手段

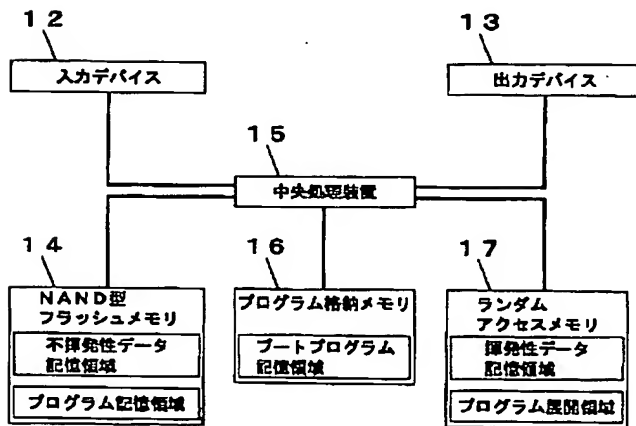
- 8   ブロック状態管理手段
- 9   不良ブロック管理手段
- 10   ガーベッジコレクション手段
- 11   制御手段
- 12   入力デバイス
- 13   出力デバイス
- 14   NAND型フラッシュメモリ
- 15   中央処理装置
- 16   プログラム格納メモリ
- 17   ランダムアクセスメモリ
- 18   マッピング管理手段
- 19   ブロック状態管理手段

- 20   不良ブロック管理手段
- 21   ガーベッジコレクション手段
- 22   消去回数管理手段
- 23   制御手段
- 24   マッピング管理手段
- 25   ブロック状態管理手段
- 26   不良ブロック管理手段
- 27   ガーベッジコレクション手段
- 28   消去回数管理手段
- 29   書換え回数管理手段
- 30   制御手段

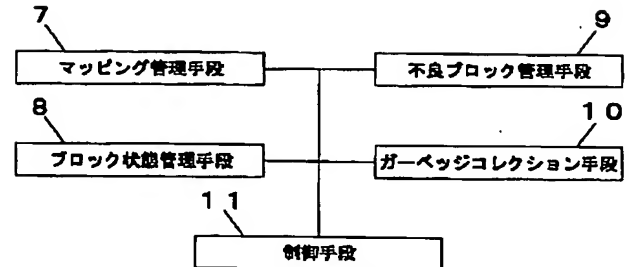
【図1】



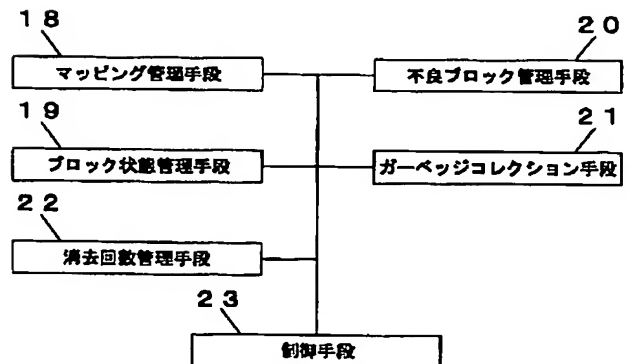
【図3】



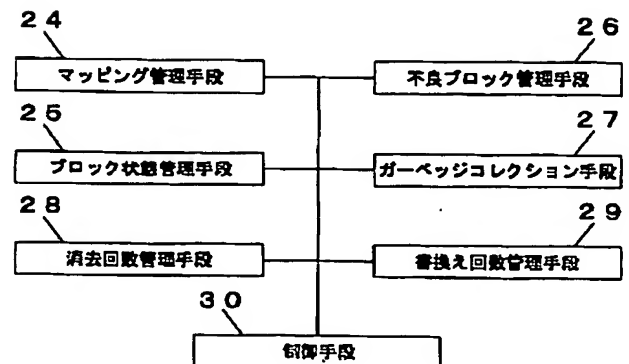
【図2】



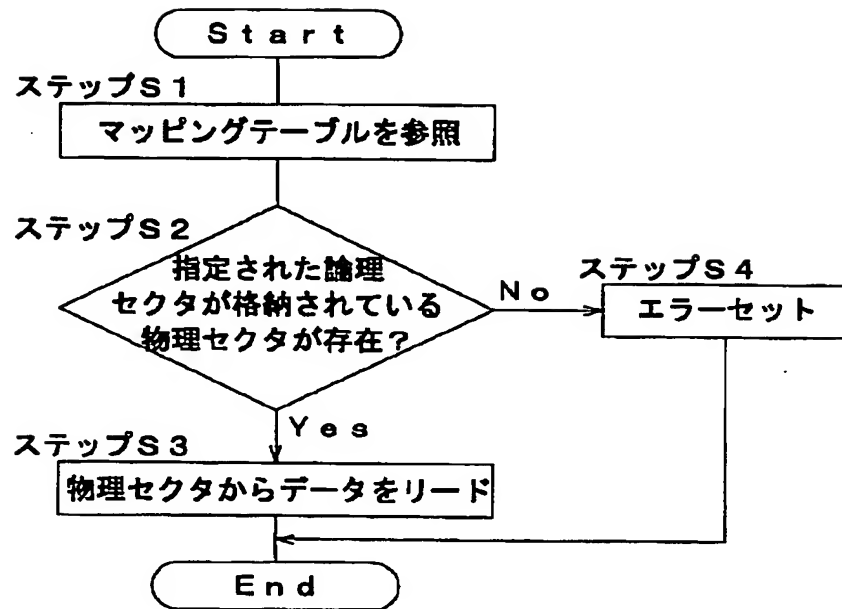
【図9】



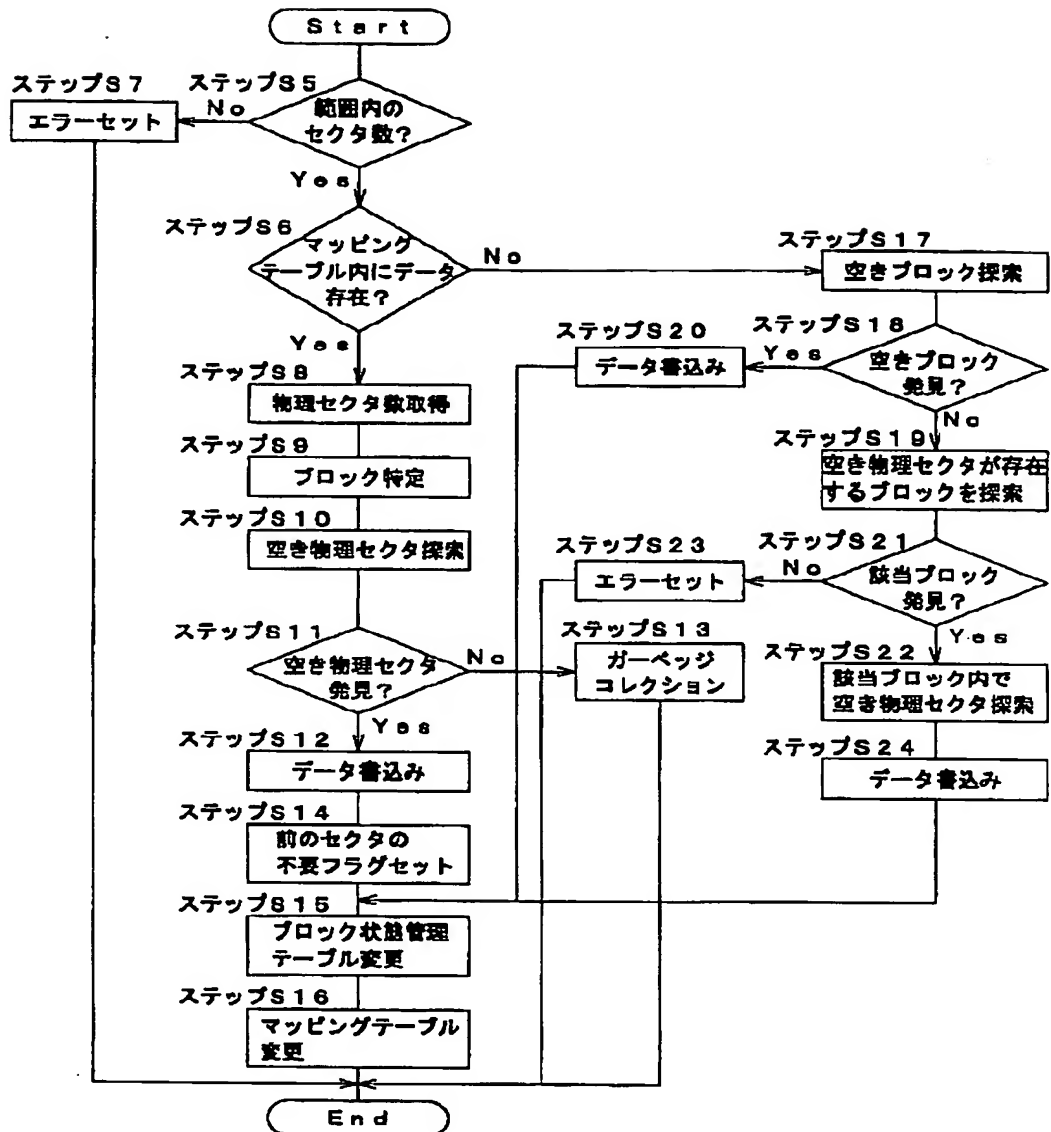
【図11】



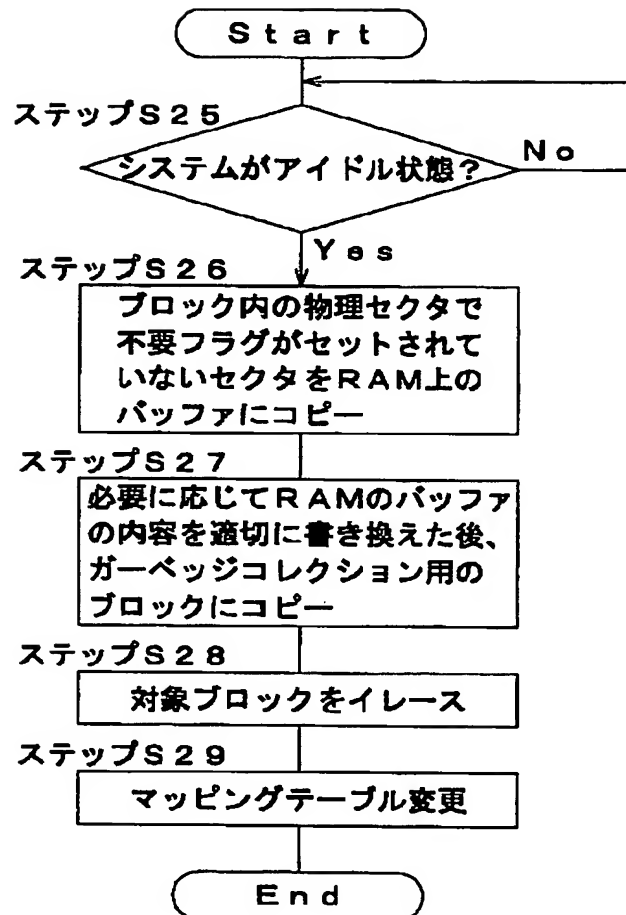
【図4】



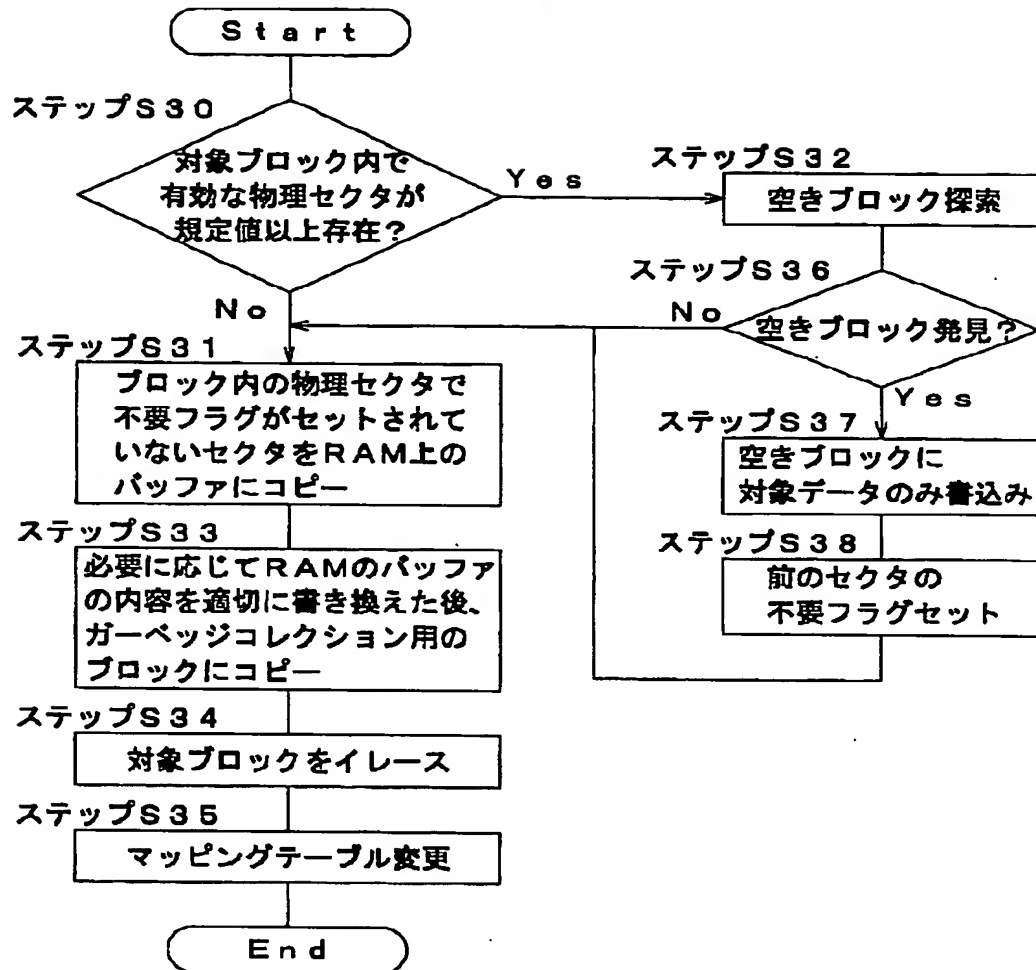
【図5】



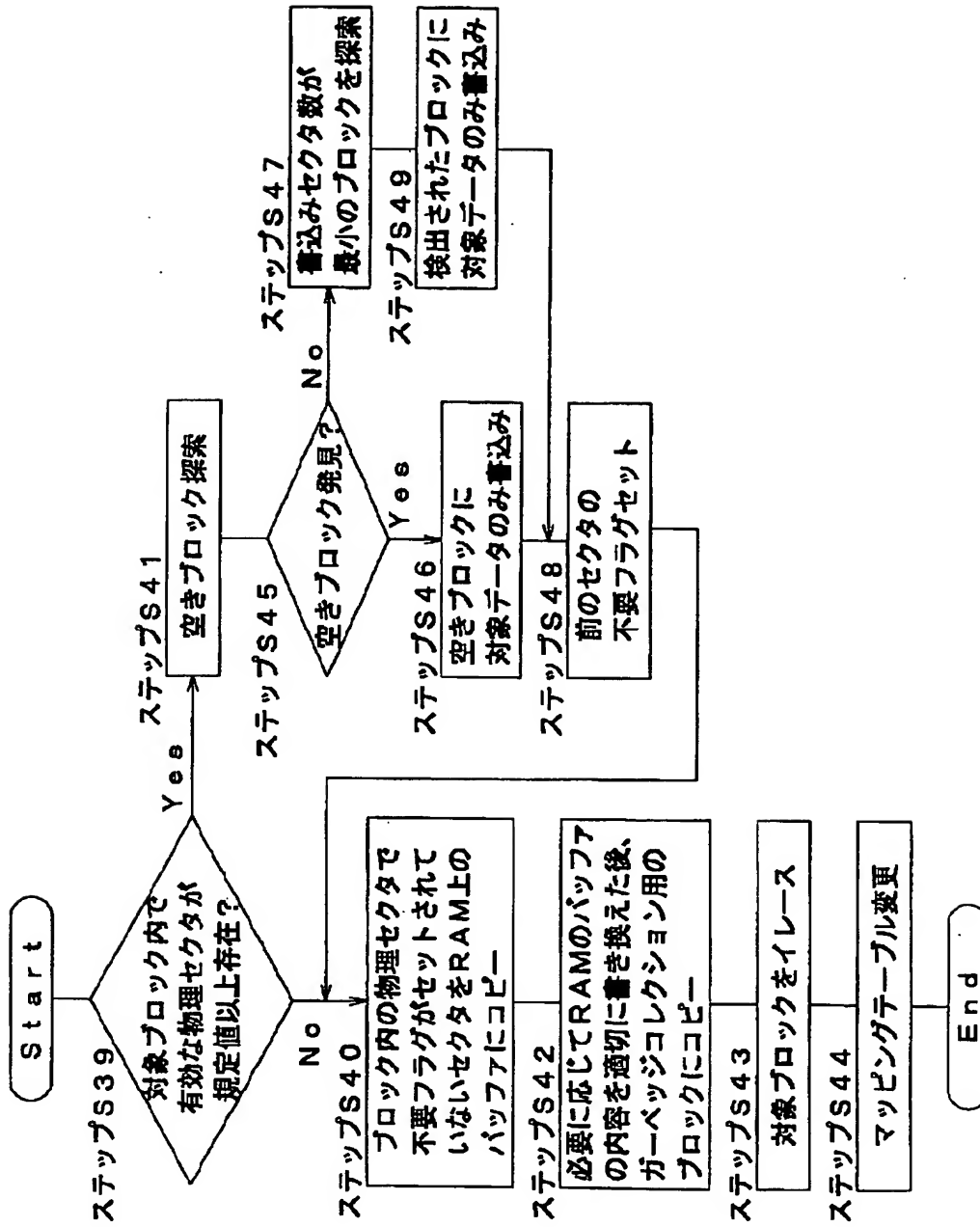
【図6】



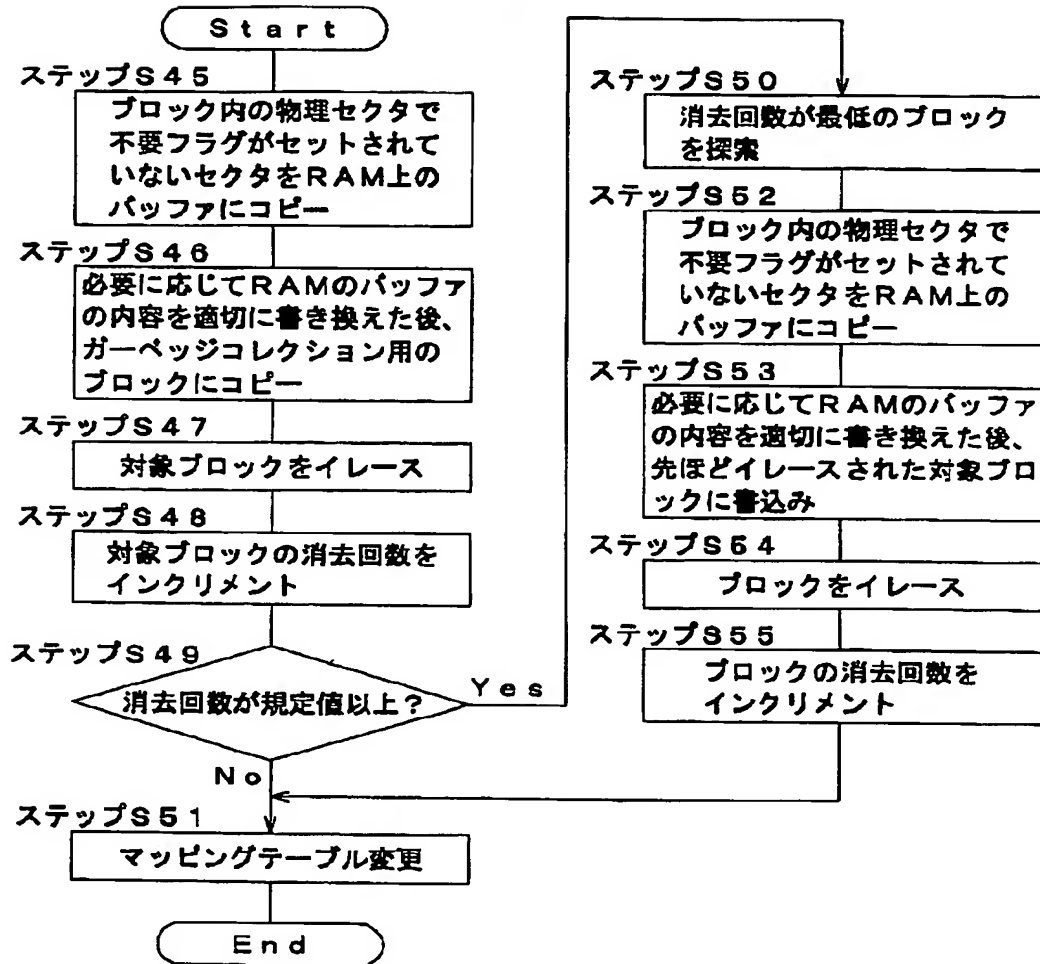
【図7】



【図8】

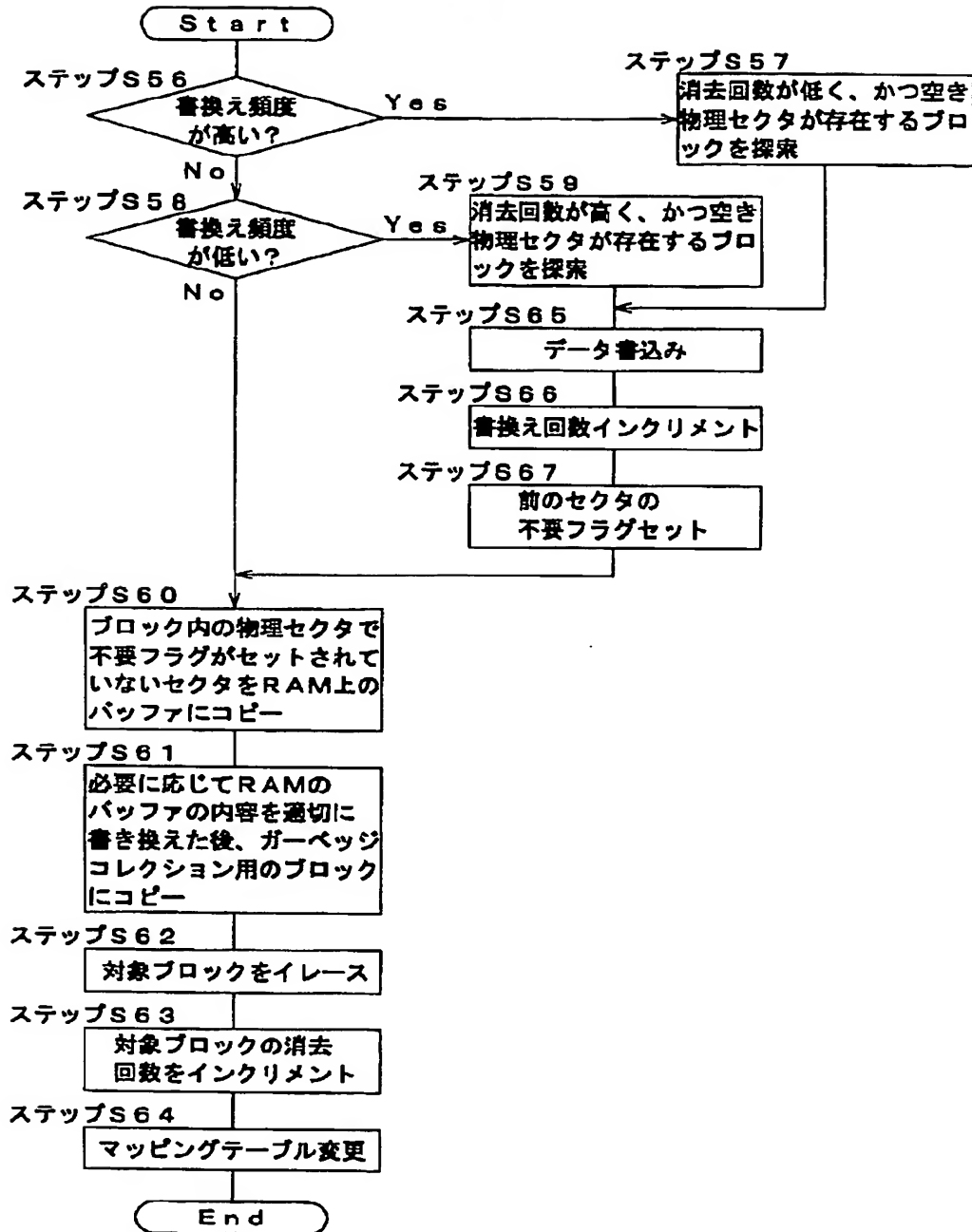


【図10】





【図12】



フロントページの続き

(51) Int. Cl. 7

G 1 1 C 16/04

29/00

識別記号

6 0 1

F I

G 1 1 C 17/00

テ-マコード (参考)

6 0 1 C

6 1 2 Z

6 2 2 E

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-259093

(43)Date of publication of application : 16.09.2004

(51)Int.Cl.

G06F 12/16  
G06F 1/30

(21)Application number : 2003-050401

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 27.02.2003

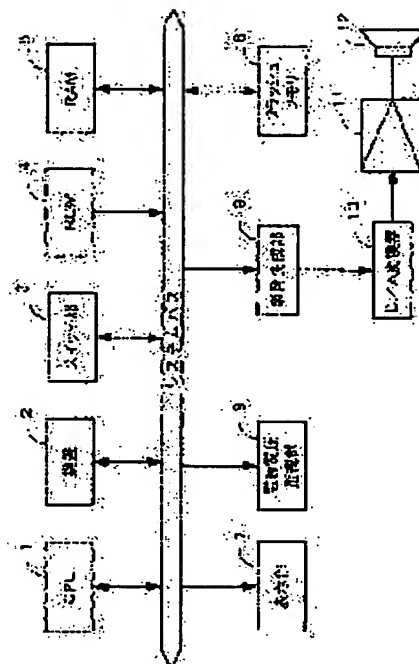
(72)Inventor : SATO HIROTAKE

## (54) DATA PROCESSOR AND PROGRAM FOR DATA PROCESSING

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To automatically back up data for power-off or voltage drop by reducing the capacity of a memory for backup and the data write time.

**SOLUTION:** A CPU 1 specifies a storage area from which data is erased between two storage areas in a flash memory 6 immediately before the voltage changes to a transient state where the voltage is lower than that in the steady state, reads out the data of a RAM 5, and write the data in the specified storage area and again writes it in the RAM 5 immediately after the voltage is changed from the transient state to the steady state. After the voltage changes from the transient state to the steady state, in the lapse of 30 seconds, the data in the storage area different from the specified storage area in the flash memory 6 is erased.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-259093

(P2004-259093A)

(43) 公開日 平成16年9月16日(2004.9.16)

(51) Int. Cl.<sup>7</sup>

G06F 12/16

G06F 1/30

F 1

G06F 12/16

G06F 1/00

340Q

341M

テーマコード (参考)

5B011

5B018

審査請求 未請求 請求項の数 11 O L (全 16 頁)

(21) 出願番号 特願2003-50401 (P2003-50401)  
(22) 出願日 平成15年2月27日 (2003.2.27)

(71) 出願人 000001443  
カシオ計算機株式会社  
東京都渋谷区本町1丁目6番2号  
(74) 代理人 100073221  
弁理士 花輪 義男  
(72) 発明者 佐藤 博毅  
東京都羽村市栄町3丁目2番1号  
カシオ計算機株式会社羽  
村技術センター内  
Fターム(参考) 5B011 EB01 EB07 GG03 JA04 JA08  
JA09  
5B018 GA04 KA03 NA01 NA06 QA05

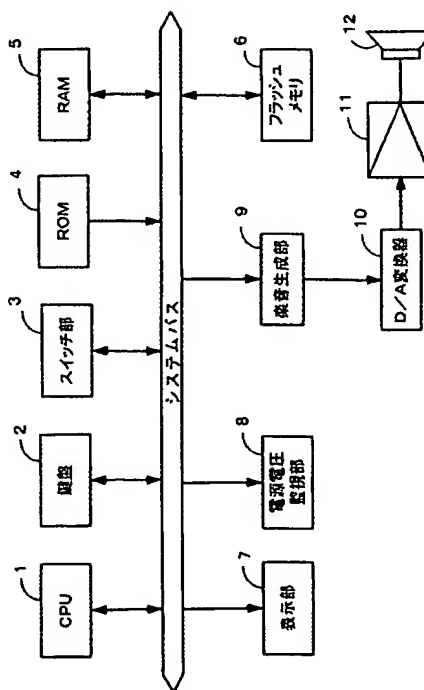
(54) 【発明の名称】 データ処理装置およびデータ処理のプログラム

(57) 【要約】

【課題】 バックアップ用のメモリの容量、およびデータの書き込み時間を少なくし、電源オフや電圧低下のときには自動的にデータのバックアップをする。

【解決手段】 CPU 1は、電圧が定常状態より低い過渡状態に変化する直前には、フラッシュメモリ 6における2つの記憶エリアの中からデータが消去されている記憶エリアを指定して、RAM 5のデータを読み出して当該指定した記憶エリアに書き込み、電圧が過渡状態から定常状態に変化した直後には、指定した記憶エリアのデータを読み出して再びRAM 5に書き込み、電圧が過渡状態から定常状態に変化した後、30秒が経過したときには、フラッシュメモリ 6において指定した記憶エリアとは異なる記憶エリアのデータを消去する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

供給される電源の電圧が所定範囲の定常状態であるか又は前記所定範囲よりも低い過渡状態であるかを検出する電圧検出手段と、

前記電源の電圧が前記定常状態のときにデータの正常な書き込みおよび読み出しが可能な第1の記憶手段と、

前記電源の電圧の状態にかかわらず書き込まれているデータを保持することが可能で複数の記憶エリアを有する第2の記憶手段と、

前記電圧検出手段によって検出された電圧が前記定常状態から前記過渡状態に変化する直前には前記第2の記憶手段における複数の記憶エリアの中からデータが消去されている記憶エリアを指定して前記第1の記憶手段のデータを読み出して当該指定した記憶エリアに書き込み、前記電圧検出手段によって検出された電圧が前記過渡状態から前記定常状態に変化した直後には前記指定した記憶エリアのデータを読み出して再び前記第1の記憶手段に書き込むデータ転送手段と、

前記電圧検出手段によって検出された電圧が前記過渡状態から前記定常状態に変化した後に前記第2の記憶手段において前記データ転送手段が指定した記憶エリアとは異なる記憶エリアのデータを消去するデータ消去手段と、

を備えたデータ処理装置。

## 【請求項 2】

前記データ転送手段は、前記第1の記憶手段のデータとともに特定の設定情報を前記指定した記憶エリアに書き込み、前記特定の設定情報が有効な場合に前記指定した記憶エリアのデータを読み出して前記第1の記憶手段に書き込み、前記設定情報が無効である場合には他の記憶手段にあらかじめ記憶されているデフォルトのデータを読み込むことを特徴とする請求項1記載のデータ処理装置。

## 【請求項 3】

前記データ消去手段は、メインルーチンの処理とは別システムのバックグラウンドの処理で前記異なる記憶エリアのデータを消去することを特徴とする請求項1記載のデータ処理装置。

## 【請求項 4】

前記データ消去手段は、前記異なる記憶エリアのデータを消去中において前記第2の記憶手段に対するアクセスが発生したときには当該データ消去を中断し当該アクセスが終了したときには当該データ消去を再開することを特徴とする請求項1記載のデータ処理装置。

## 【請求項 5】

前記データ消去手段は、前記電圧検出手段によって検出された電圧が前記過渡状態から前記定常状態に変化したときから所定時間が経過した後に前記異なる記憶エリアのデータを消去することを特徴とする請求項1記載のデータ処理装置。

## 【請求項 6】

前記データ転送手段が前記指定した記憶エリアへのデータを書き込みが完了した後に電源の供給停止処理を行なう電源制御手段をさらに備えたことを特徴とする請求項1記載のデータ処理装置。

## 【請求項 7】

操作に応じて電源の供給および供給停止を指示する操作手段をさらに備え、前記データ転送手段は、前記操作手段から前記供給停止の指示を受けたときには前記電圧検出手段による検出を待つことなく前記第2の記憶手段における複数の記憶エリアの中からデータが消去されている記憶エリアを指定して前記第1の記憶手段のデータを読み出して当該指定した記憶エリアに書き込むことを特徴とする請求項1記載のデータ処理装置。

## 【請求項 8】

前記データ転送手段は、前記電圧検出手段によって検出された電圧が前記過渡状態から前記定常状態に変化した直後にはデータを書き込んだ複数の記憶エリアの中で最新のデータを書き込んだ記憶エリアを指定してその最新のデータを読み出して再び前記第1の記憶手

段に書き込むことを特徴とする請求項1記載のデータ処理装置。

【請求項9】

前記第1の記憶手段と前記第2の記憶手段との間において前記データ転送手段が読み出しおよび書込みを行なうデータは、楽音信号の発生に関与するデータであることを特徴とする請求項1ないし8のうちいずれか1項記載のデータ処理装置。

【請求項10】

供給される電源の電圧が所定範囲の定常状態であるか又は前記所定範囲より低い過渡状態であるかを検出する第1のステップと、

前記第1のステップによって検出された電圧が前記定常状態から前記過渡状態に変化する直前には前記電源の電圧が前記定常状態のときにデータの正常な書き込みおよび読み出しが可能な第1の記憶手段のデータを読み出して前記電源の電圧の状態にかかわらず書き込まれているデータを保持することが可能な複数の記憶エリアを有する第2の記憶手段においてデータが消去されている記憶エリアを指定して当該指定した記憶エリアに書き込む第2のステップと、

前記第1のステップによって検出された電圧が前記過渡状態から前記定常状態に変化した直後には前記指定した記憶エリアのデータを読み出して再び前記第1の記憶手段に書き込む第3のステップと、

前記第1のステップによって検出された電圧が前記過渡状態から前記定常状態に変化した後に前記第2の記憶手段において前記第2のステップによって指定された記憶エリアとは異なる記憶エリアのデータを消去する第4のステップと、  
を実行するデータ処理のプログラム。

【請求項11】

前記第1の記憶手段と前記第2の記憶手段との間において前記第2のステップおよび前記第3のステップが読み出しおよび書込みを行なうデータは、楽音信号の発生に関与するデータであることを特徴とする請求項10記載のデータ処理のプログラム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、データ処理装置およびデータ処理のプログラムに関する。

【0002】

【従来の技術】

データ処理装置の中には、供給されている電源の電圧の低下が発生したときに、DRAMなどの揮発性のメモリに記憶されているデータの消失を防止するために、SRAMやフラッシュメモリなどの不揮発性メモリにそのデータを転送してセーブするバックアップ機能をもったものがある。例えば、電子鍵盤機器やイコライザ機器などのように、楽音信号に関与するデータを処理するデータ処理装置においては、電源の電圧の低下が発生したときには、機器基本設定のパラメータや音色設定のパラメータなどの動作条件の設定状態のデータ、および、自動演奏のシーケンスデータなどを不揮発性メモリにバックアップする処理を行なっている。

【0003】

従来のデータ処理装置の一例として、動作条件の設定状態をバックアップする方法を改良した電子機器が提案されている。この提案によれば、機器の動作条件を簡単に設定することができ、設定された機器設定情報を安価な情報保存手段を用いて確実に保存・再現することができ、しかも、保存動作にタイムラグを感じないようにしている。

そのために、設定されるべき動作条件を表す機器設定情報を入力する手段と、入力された機器設定情報に基づいて、複数の動作条件から成る最新の機器設定情報を生成する手段と、最新の機器設定情報をセーブする指示を入力する手段と、入力されたセーブの指示に応じて、同一の最新の機器設定情報を、電源の非供給時にも記憶内容の維持が可能なバックアップメモリの2つの記憶ブロックに記憶させる手段とを具備する構成になっている。この場合において、設定されるべき動作条件を表す機器設定情報を入力する手段と、機器

設定情報が入力される度に、入力された機器設定情報を、順次、電源の供給時にも記憶内容の維持が可能なバックアップメモリに、追加的に記憶させる手段と、特定のタイミングにおいて、バックアップメモリに記憶された機器設定情報に基づき、複数の動作条件を表す最新の機器設定情報を生成する設定情報処理手段とを具備する構成になっている（例えば、特許文献1。）。

【0004】

【特許文献1】

特開2001-249852号公報（段落番号「0004」、「0005」）

【0005】

【発明が解決しようとする課題】

しかしながら、上記従来のデータ処理装置においては、新たな機器設定情報が入力される度に、それまでの機器設定情報をバックアップメモリとしてのフラッシュメモリに履歴データとして残した状態で、新たに入力された機器設定情報をさらに追加情報としてバックアップメモリに記憶するので、バックアップメモリの容量が大きくなり、製品の価格の上昇を招くとともに、小型軽量化が図れないという課題があった。

また、バックアップメモリに用いるフラッシュメモリにデータを書き込むためには、あらかじめ書き込みエリアを消去しておく必要があるが、このデータ消去処理に多大な時間がかかってしまう上に、2つのバックアップメモリに同じ機器設定情報を記憶するので、機器設定情報の書き込み処理のために、他の処理が大きく制限されてしまうという課題があった。特に、上記特許文献1における実施の形態に記載されている電子楽器のように、楽音信号の発生に関与する音色、効果などのパラメータ情報からなる機器設定情報を処理するデータ処理装置においては、機器設定情報の書き込み処理のために発音処理が間に合わず、音切れやノイズが発生するおそれがある。

また、上記特許文献1における実施の形態の電子楽器においては、設定操作子により入力されてきた現状の機器設定情報を確定し、最新の設定状態のセーブを指示するために、セットスイッチを操作する必要がある。このセットスイッチを操作しない状態で、電源がオフになったり、何らかの原因で電圧が低下したときには、最新の機器設定情報は消滅してしまうという課題があった。

【0006】

本発明は、上記従来の技術の課題を解決するためのものであり、供給されている電源の電圧の低下が発生したときに、DRAMなどのメモリに記憶されているデータの消失を防止するためのバックアップ用のメモリの容量を少なくして、製品の価格の低減と小型軽量化とを図り、そのバックアップ用のメモリにデータを書き込むための時間を少なくして、他の処理が制限されるのを回避し、さらに、セットスイッチなどの操作を必要としなくても、電源がオフになったり、何らかの原因で電圧が低下したときは、自動的にデータのバックアップが可能なデータ処理装置およびデータ処理のプログラムを提供することを目的とする。

【0007】

【課題を解決するための手段】

請求項1に記載のデータ処理装置は、供給される電源の電圧が所定範囲の定常状態であるか又は所定範囲より低い過渡状態であるかを検出する電圧検出手段（実施形態においては、図1の電源電圧監視部8に相当する）と、電源の電圧が定常状態のときにデータの正常な書き込みおよび読み出しが可能な第1の記憶手段（実施形態においては、図1のRAM5に相当する）と、電源の電圧の状態にかかわらず書き込まれているデータを保持することが可能な複数の記憶エリア（実施形態においては、図2のBlock A、Block B、Wave Blockに相当する）を有する第2の記憶手段と、電圧検出手段によって検出された電圧が定常状態から過渡状態に変化する直前には第2の記憶手段における複数の記憶エリアの中からデータが消去されている記憶エリアを指定して第1の記憶手段のデータを読み出して当該指定した記憶エリア（実施形態においては、例えば、図2のBlock Aに相当する）に書き込み、電圧検出手段によって検出された電圧が過渡状態から定常

状態に変化した直後には指定した記憶エリアのデータを読み出して再び第1の記憶手段に書き込むデータ転送手段（実施形態においては、図1のCPU1の機能に相当する）と、電圧検出手段によって検出された電圧が過渡状態から定常状態に変化した後に第2の記憶手段においてデータ転送手段が指定した記憶エリアとは異なる記憶エリア（実施形態においては、例えば、Block Bに相当する）のデータを消去するデータ消去手段（実施形態においては、図1のCPU1の機能に相当する）とを備えた構成になっている。

#### 【0008】

この場合において、データ転送手段は、第1の記憶手段のデータとともに特定の設定情報（実施形態においては、図2のKeywordに相当する）を指定した記憶エリアに書き込み、特定の設定情報が有効な場合に指定した記憶エリアのデータを読み出して第1の記憶手段に書き込み、設定情報が無効である場合には他の記憶手段（実施形態においては、図1のROM4に相当する）にあらかじめ記憶されているデフォルトのデータ（実施形態においては、工場出荷時のデータに相当する）を読み込むように構成してもよい。

#### 【0009】

また、データ消去手段は、メインルーチンの処理（実施形態においては、図3のフローチャートの処理に相当する）とは別系統のバックグラウンドの処理で異なる記憶エリアのデータを消去するように構成してもよい。

#### 【0010】

また、データ消去手段は、異なる記憶エリアのデータを消去中において第2の記憶手段に対するアクセスが発生したときには当該データ消去を中断し当該アクセスが終了したときには当該データ消去を再開するように構成してもよい。

#### 【0011】

また、データ消去手段は、電圧検出手段によって検出された電圧が過渡状態から定常状態に変化したときから所定時間（実施形態においては、30秒に相当する）が経過した後に異なる記憶エリアのデータを消去するように構成してもよい。

#### 【0012】

また、データ転送手段が指定した記憶エリアへのデータを書き込みが完了した後に電源の供給停止処理を行なう電源制御手段（実施形態においては、図1のCPU1の機能に相当する）を備えた構成してもよい。

#### 【0013】

また、操作に応じて電源の供給および供給停止を指示する操作手段（実施形態においては、図1のスイッチ部3の電源スイッチに相当する）をさらに備え、データ転送手段は、操作手段から供給停止の指示を受けたときには電圧検出手段による検出を待つことなく第2の記憶手段における複数の記憶エリアの中からデータが消去されている記憶エリアを指定して第1の記憶手段のデータを読み出して当該指定した記憶エリアに書き込むように構成してもよい。

#### 【0014】

また、データ転送手段は、電圧検出手段によって検出された電圧が過渡状態から定常状態に変化した直後にはデータを書き込んだ複数の記憶エリア（実施形態の変形例におけるフラッシュメモリにおける複数の記憶エリアに相当する）の中で最新のデータを書き込んだ記憶エリアを指定してその最新のデータを読み出して再び第1の記憶手段に書き込むように構成してもよい。

#### 【0015】

また、第1の記憶手段と第2の記憶手段との間においてデータ転送手段が読み出しおよび書き込みを行なうデータは、楽音信号の発生に参与するデータ（実施形態においては、図2のSetupParam、ToneParam、SeqDataに相当する）であるように構成してもよい。

#### 【0016】

本発明のデータ処理のプログラムは、供給される電源の電圧が所定範囲の定常状態であるか又は所定範囲より低い過渡状態であるかを検出する第1のステップ（実施形態において

は、図9のステップSG2に相当する)と、第1のステップによって検出された電圧が定常状態から過渡状態に変化する直前には電源の電圧が定常状態のときにデータの正常な書き込みおよび読み出しが可能な第1の記憶手段(実施形態においては、図1のRAM5に相当する)のデータを読み出して電源の電圧の状態にかかわらず書き込まれているデータを保持することが可能な複数の記憶エリアを有する第2の記憶手段(実施形態においては、図1のフラッシュメモリ6に相当する)においてデータが消去されている記憶エリアを指定して当該指定した記憶エリアに書き込む第2のステップ(実施形態においては、図8のステップSF2に相当する)と、第1のステップによって検出された電圧が過渡状態から定常状態に変化した直後には指定した記憶エリアのデータを読み出して再び第1の記憶手段に書き込む第3のステップ(実施形態においては、図4のステップSB7に相当する)と、第1のステップによって検出された電圧が過渡状態から定常状態に変化した後に第2の記憶手段において第2のステップによって指定された記憶エリアとは異なる記憶エリアのデータを消去する第4のステップ(実施形態においては、図7のステップSE4に相当する)とを実行する構成になっている。

#### 【0017】

この場合において、第1の記憶手段と第2の記憶手段との間において第2のステップおよび第3のステップが読み出しおよび書込みを行なうデータは、楽音信号の発生に關与するデータ(実施形態においては、図2のSetupParam、ToneParam、SeqDataに相当する)であるように構成してもよい。

#### 【0018】

##### 【発明の実施の形態】

以下、本発明によるデータ処理装置の実施形態について、電子鍵盤機器を例に採って、図を参照して説明する。

図1は、実施形態における電子鍵盤機器のシステム構成を示すブロック図である。この図において、CPU1は、システムバスを介して、鍵盤2、スイッチ部3、ROM4、RAM5、フラッシュメモリ6、表示部7、電源電圧監視部8、および楽音発生部9に接続され、これら各部との間で、コマンドおよびデータを授受しながら、この電子鍵盤機器全体を制御する。

#### 【0019】

鍵盤2は、押鍵および離鍵の演奏に応じて、ノートオンやベロシティ、およびノートオフのデータをCPU1に入力する。

スイッチ部3は、電源をオン/オフする電源スイッチ、機器基本の設定スイッチ、音色の設定スイッチ、シーケンスデータによる自動演奏を行う自動演奏のスタート/ストップスイッチなどで構成され、操作に応じてオン/オフの状態をCPU1に入力する。なお、電源をオフにするには、電源スイッチの操作による他、CPU1の電源オフ処理によっても可能である。

#### 【0020】

ROM4は、機器基本設定のパラメータ、音色設定のパラメータ、シーケンスデータなどを処理するデータ処理、鍵盤2の演奏によるデータを処理する鍵盤処理、演奏に応じて楽音を発生するための波形データの処理、およびその他の処理をCPU1が実行するためのプログラムや、起動時のイニシャライズにおけるデフォルトのデータなどをあらかじめ記憶している。

RAM5は、CPU1によって処理される各種のデータを一時的に記憶するとともに、プログラムの実行に必要な各種のレジスタやフラグのエリアが設けられている。なお、RAM5は、供給されている電源が所定範囲の定常状態の場合にデータの正常な書き込みおよび読み出しが可能なDRAMなどの揮発性メモリで構成されている。

フラッシュメモリ6は、電源オフの状態でもデータの保持が可能なバックアップ用の不揮発性のメモリであり、RAM5の一部のデータをバックアップするとともに、楽音信号を生成するための波形データを記憶している。バックアップするデータの内容については後述する。



## 【0021】

表示部7は、機器基本の設定状態や音色の設定状態などの状態、操作を促すメッセージ、自動演奏曲の楽譜データなどを表示する。

電源電圧監視部8は、供給される電源の状態を監視して、検出した電圧の状態をCPU1に入力する。

楽音生成部9は、CPU1の発音指示（ノートオンコマンド）および波形データに応じて、楽音信号を生成してD/A変換回路10に出力する。D/A変換回路10は、その楽音信号をディジタルからアナログに変換し、アンプ11を介してスピーカ12に供給して発音させ、CPU1の消音指示（ノートオフコマンド）に応じて発音を停止させる。

## 【0022】

図2は、図1におけるフラッシュメモリ6の記憶エリアの構成、および、各記憶エリアに書き込まれるデータを示す図である。フラッシュメモリ6は、Block A、Block B、Wave Blockからなる3つのブロックの記憶エリアで構成されている。Block AおよびBlock Bのそれぞれには、下記の5種類のデータが書き込まれる。

## 【0023】

すなわち、機器基本設定のデータであるSetup Param、音色設定のデータであるTone Param、自動演奏のシーケンスデータであるSeq Data、Block A、Block Bのどちらに最新のデータが書き込まれているかを判別するための、4バイトからなるシリアル番号のデータであるSerial、Block AおよびBlock Bの記憶内容が有効かどうかを判定するための、4バイトのデータであるKeywordの5種類のデータが書き込まれる。

また、Wave Blockには、楽音信号を生成するための波形データであるWave Dataがあらかじめ書き込まれている。

## 【0024】

Block AおよびBlock Bのデータのうち、Setup Param、Tone Param、Seq Dataについては、後述するように、電源オン／オフ時に、RAM5との間で読み書きされるバックアップ対象のデータである。これに対して、Wave BlockのWave Dataは、電源オン／オフ時のRAM5との間の読み書きは行なわれない。なお、図には示さないが、工場出荷時などの初期状態のために、Setup Param、Tone Param、Seq DataのデフォルトのデータがROM4に記憶されている。

## 【0025】

次に、図1の電子鍵盤機器の動作について、図3ないし図10に示すフローチャートに基づいて説明する。

図3は、CPU1のメインルーチンのフローチャートであり、初期化处理（ステップSA1）の後、スイッチ処理（ステップSA2）、鍵盤処理（ステップSA3）、表示処理（ステップSA4）、電源オフ処理（ステップSA5）、その他の処理（ステップSA6）を繰り返し実行する。

## 【0026】

図4は、メインルーチンにおけるステップSA1の初期化处理のフローチャートである。電源スイッチがオンにされたときは、まず、Block AのSerial、Block AのKeyword、Block BのSerial、Block BのKeywordを、それぞれ変数SA、KA、SB、KBにストアする（ステップSB1）。次に、KAの値が正常か否かを判別する（ステップSB2）。KAの値が正常である場合には、さらにKBの値が正常であるか否かを判別する（ステップSB3）。

## 【0027】

KBの値が正常である場合、すなわち、Block AおよびBlock BのKeywordが両方とも正常である場合には、SAの値がSBの値より大きいか否かを判別する（ステップSB4）。SAの値がSBの値より大きい場合には、データ消去の記憶エリアを指定する変数Erase Blockに「1」をセットし、データ読み出しの記憶エリアを指

定する変数 `ReadBlock` に「0」をセットする（ステップSB5）。ここで、「0」は `BlockA` を示し、「1」は `BlockB` を示すインデックスである。すなわち、この場合には、`BlockB` をデータ消去の記憶エリアに指定し、`BlockA` をデータ読み出しの記憶エリアに指定する。

なお、`BlockA` および `BlockB` の `Serial` の値については、後述する図8の書き込み処理において説明する。

#### 【0028】

ステップSB3において、`KB` の値が正常でなく、`KA` の値のみが正常である場合にも、`EraseBlock` に「1」をセットし、`ReadBlock` に「0」をセットして（ステップSB5）、`BlockB` をデータ消去の記憶エリアに指定し、`BlockA` をデータ読み出しの記憶エリアに指定する。

ステップSB4において、`SB` の値が `SA` の値より大きい場合には、`EraseBlock` に「0」をセットし、`ReadBlock` に「1」をセットする（ステップSB6）。すなわち、`BlockA` をデータ消去の記憶エリアに指定し、`BlockB` をデータ読み出しの記憶エリアに指定する。

#### 【0029】

ステップSB5又はステップSB6において、`EraseBlock` および `ReadBlock` のそれぞれに「1」又は「0」をセットした後は、`ReadBlock` の `SetupParam`、`ToneParam`、`SeqData` を読み出して、`RAM5` に転送して書き込む（ステップSB7）。

#### 【0030】

ステップSB2において、`KA` の値が正常でない場合には、`KB` の値が正常であるか否かを判別する（ステップSB8）。`KB` の値が正常である場合には、`EraseBlock` に「0」をセットし、`ReadBlock` に「1」をセットする（ステップSB6）。すなわち、`BlockA` をデータ消去の記憶エリアに指定し、`BlockB` をデータ読み出しの記憶エリアに指定する。そして、`ReadBlock` の `SetupParam`、`ToneParam`、`SeqData` を読み出して、`RAM5` に転送して書き込む（ステップSB7）。

#### 【0031】

ステップSB8において、`KB` の値が正常でない場合には、`EraseBlock` に「0」をセットし、`ReadBlock` に「1」をセットする（ステップSB9）。ただし、この場合には、`BlockA` および `BlockB` の `Keyword` が両方とも正常でないので、この2つの記憶エリアのデータは正常でない可能性がある。この場合には、`ROM4` に記憶されている工場出荷時のデフォルトの `SetupParam`、`ToneParam`、`SeqData` を読み出して、`RAM5` に転送して書き込む（ステップSB10）。

#### 【0032】

ステップSB7又はステップSB10において、`SetupParam`、`ToneParam`、`SeqData` を `RAM5` に転送した後は、データ消去の待ち時間の変数 `EraseWaitTimer` に「3000」の数値をセットし、フラッシュメモリ6の状態を表す変数 `FlashStatus` に、データ消去のリクエスト中を表す `EraseReq` をセットし、機器の電源を切断するリクエスト状態を表す変数 `PowerOffStatus` に `NoP`（なにもしない状態）をセットする（ステップSB11）。次に、その他の初期化処理を行い（ステップSB12）、図3のメインルーチンに戻る。

#### 【0033】

図5は、フラッシュメモリ制御タイマ処理のフローチャートであり、10ms毎のタイマインタラプトに応じて実行される。まず、`EraseWaitTimer` の値が「0」より大きいかなんかを判別し（ステップSC1）、「0」より大きい場合には、`EraseWaitTimer` の値を「1」だけデクリメントする（ステップSC2）。`EraseWaitTimer` の初期値は、図4のステップSB11において「3000」にセットされている。この値がタイマインタラプトに応じて10ms毎に「1」だけデクリメントさ

れる。したがって、EraseWaitTimerに初期値がセットされた後、30秒が経過するとEraseWaitTimerの値が「0」に達することになる。

【0034】

ステップSC2においてEraseWaitTimerの値をデクリメントした後、又は、ステップSC1においてEraseWaitTimerの値が「0」に達しているときは、電源オフ準備処理を実行する（ステップSC3）。この後、消去処理（ステップSC4）、書き込み処理（ステップSC5）を実行して、図3のメインルーチンに戻る。

【0035】

図6は、図5のフラッシュメモリ制御タイマ処理におけるステップSC3の電源オフ準備処理のフローチャートである。まず、PowerOffStatusがWait（切断待ち状態）であるか否かを判別する（ステップSD1）。PowerOffStatusがWaitでない場合には、このフローを終了するが、PowerOffStatusがWaitである場合には、EraseWaitTimerの値が「0」に達しているか否かを判別する（ステップSD2）。この値が「0」に達している場合、すなわち、図4の初期化処理の時から30秒が経過したときには、フラッシュメモリ6の状態を表す変数FlashStatusがNop（なにもしない状態）であるか否かを判別する（ステップSD3）。すなわち、フラッシュメモリ6のデータ消去が完了したか否かを判別する。FlashStatusがNopでない場合には、フラッシュメモリ6のデータ消去が完了していないので、このフローを終了して、データ消去の完了を待つ。FlashStatusがNopである場合には、フラッシュメモリ6のデータ消去が完了しているので、PowerOffStatusにReq（電源切断リクエスト中）をセットする（ステップSD4）。そして、このフローを終了する。

【0036】

ステップSD2において、EraseWaitTimerの値が「0」より大きい場合、すなわち、電源の切断待ち状態で、かつ、図4の初期化処理の時から30秒が経過していない場合には、PowerOffStatusにReady（電源切断準備完了）をセットして（ステップSD5）、このフローを終了する。

【0037】

図7は、図5のフラッシュメモリ制御タイマ処理におけるステップSC4の消去処理のフローチャートである。このフローでは、FlashStatusの状態がEraseReq（消去リクエスト中）、EraseExec（消去実行中）、ErasePend（消去中断中）、Nop（なにもしない状態）のいずれであるかを判別し（ステップSE1）、その判別結果に応じて処理が分岐する。

【0038】

FlashStatusがEraseReqである場合には、EraseWaitTimerの値が「0」に達したか否かを判別する（ステップSE2）。この値が「0」である場合には、フラッシュメモリ6がアクセスされて、WaveBlockの記憶エリアのWaveDataが読み出されて発音中であるか否かを判別する（ステップSE3）。発音中でない場合には、EraseBlockのデータ消去を開始し、FlashStatusにEraseExecをセットする（ステップSE4）。

【0039】

ステップSE2において、EraseWaitTimerの値が「0」に達していない場合には、誤って電源がオンされて、すぐに（30秒が経過する前に）再び電源がオフされる可能性があるので、フラッシュメモリ6のデータ消去を行わず、このフローを終了する。また、ステップSE3において、WaveDataが読み出されて発音中である場合には、フラッシュメモリ6にアクセスできないので、フラッシュメモリ6のデータ消去を行わず、このフローを終了する。

【0040】

ステップSE1において、FlashStatusがEraseExecである場合には、EraseBlockのデータ消去が終了したか否かを判別する（ステップSE5）。

EraseBlockのデータ消去が終了している場合には、FlashStatusをNopに変更して(ステップSE6)、このフローを終了する。EraseBlockのデータ消去が終了していない場合には、FlashStatusを変更することなく、このフローを終了する。

【0041】

ステップSE1において、FlashStatusがErasePendである場合には、フラッシュメモリ6のWaveDataが読み出されて発音中であるか否かを判別する(ステップSE7)。発音中でない場合には、EraseBlockのデータ消去を再開し、FlashStatusをEraseExecに変更する(ステップSE8)。そして、このフローを終了する。一方、フラッシュメモリ6のWaveDataが読み出されて発音中である場合には、FlashStatusを変更することなく、このフローを終了する。

【0042】

図8は、図5のフラッシュメモリ制御タイマ処理におけるステップSC5の書き込み処理のフローチャートである。まず、PowerOffStatusがReq(電源切断リクエスト中)であるか否かを判別する(ステップSF1)。PowerOffStatusがReqでない場合には、このフローを終了するが、Reqである場合には、RAM5のSetupParam、ToneParam、SeqDataを読み出して、EraseBlockに書き込む(ステップSF2)。

【0043】

次に、ReadBlockのKeywordが正常であるか否かを判別する(ステップSF3)。Keywordが正常である場合には、ReadBlockのデータが正常であるので、ReadBlockのSerialの値に「1」を加算した値をEraseBlockのSerialにセットする(ステップSF4)。一方、ReadBlockのKeywordが正常でない場合には、EraseBlockのSerialに「1」をセットする(ステップSF5)。

【0044】

例えば、ReadBlockがBlockB、EraseBlockがBlockAとした場合を想定する。まず、ReadBlockのKeywordが正常な場合には、ReadBlockのSerialも正常であるとみなすことができる。そして、その値が仮に「100」とであるとすると、EraseBlockのSerialを「100」に「1」を加算した「101」とする。その結果、次の電源オンにおける図4の初期化処理において、SA=「101」、SB=「100」となり、ステップSB4からステップSB5に進み、Serialの値の大きなBlockAが今度はReadBlockとなる。

【0045】

一方、ReadBlockのKeywordが正常でない場合、例えば、工場出荷後の最初の電源オン時(図4のステップSB9)の後でこの経路を通るような場合には、ReadBlockのSerialの値は正常ではないと判定されるので、EraseBlockのSerialを「1」にする。この結果、その後の電源オンにおいて、図4のフローでKAが正常、KBが異常と判定されるので、ステップSB3からステップSB5に進み、Keywordが正常なBlockAがReadBlockとなる。それ以降においては、Keywordの正常なBlockAのSerialが「1」となる状態を基準として、BlockBのSerialが「2」、BlockAのSerialが「3」……と、交互に値が変化してゆく。

【0046】

ステップSF4又はステップSF5において、EraseBlockのSerialに値をセットした後は、KeywordをEraseBlockに書き込む(ステップSF6)。次に、PowerOffStatusにReady(電源切断準備完了)をセットして(ステップSF7)、このフローを終了する。

【0047】

図9は、図3のメインルーチンにおけるステップSA5の電源オフ処理のフローチャートである。このフローでは、Power Off StatusがNopであるか、Readyであるか、その他(Wait)であるかを判別する(ステップSG1)。Power Off StatusがNopである場合には、電源電圧監視部8からの情報により電圧降下があるか否かを判別する(ステップSG2)。電圧降下がある場合には、Power Off StatusをWaitに変更して(ステップSG3)、図3のメインルーチンに戻る。

【0048】

ステップSG2において、電圧降下がない場合には、スイッチ部3の電源スイッチによって電源切断操作があるか否かを判別する(ステップSG4)。電源切断操作があったときは、Power Off StatusをWaitに変更して(ステップSG3)、図3のメインルーチンに戻る。電源切断操作がない場合には、Power Off Statusを変更することなく、図3のメインルーチンに戻る。

【0049】

ステップSG1において、Power Off StatusがReadyである場合には、電源切断処理を行なって(ステップSG5)、図3のメインルーチンに戻る。すなわち、フラッシュメモリ制御タイマ処理の電源オフ準備処理において、Power Off StatusにReadyがセットされた場合には、この電源オフ処理において電源を切断する。

【0050】

図10は、図3のメインルーチンにおけるステップSA3の鍵盤処理のフローチャートである。このフローでは、キーオンがあるか否かを判別する(ステップSH1)。すなわち、鍵盤2が押鍵されたか否かを判別する。キーオンがあったときは、フラッシュメモリ6の記憶エリアWave Blockの波形データであるWave Dataを楽音信号の生成のために使用するか否かを判別する(ステップSH2)。Wave Dataを使用する場合には、Flash StatusがErase Exec(データ消去実行中)であるか否かを判別する(ステップSH3)。Flash StatusがErase Execである場合には、Wave Dataを読み出せないで、Erase Blockのデータ消去を中断して、Flash StatusをErase Pendに変更する(ステップSH4)。

【0051】

Flash StatusをErase Pendに変更した後、又は、ステップSH2において、Wave Dataを使用していない場合、若しくは、ステップSH3において、Flash StatusがErase Execでない場合には、発音処理を実行する(ステップSH5)。発音処理の後、又は、ステップSH1において、キーオンがない場合には、その他の鍵盤処理、例えば、離鍵によるキーオフ処理などを行なって(ステップSH6)、図3のメインルーチンに戻る。

【0052】

以上のように、この実施形態によれば、CPU1は、電源電圧監視部8によって検出された電圧が定常状態から過渡状態に変化する直前には、フラッシュメモリ6における2つの記憶エリアであるBlock A、Block Bの中からデータが消去されている記憶エリアを指定して、RAM5のデータを読み出して当該指定した記憶エリアに書き込み、電源電圧監視部8によって検出された電圧が過渡状態から定常状態に変化した直後には、指定した記憶エリアのデータを読み出して再びRAM5に書き込み、電源電圧監視部8によって検出された電圧が過渡状態から定常状態に変化した後に、30秒が経過したときには、フラッシュメモリ6において指定した記憶エリアとは異なる記憶エリアのデータを消去するので、操作に応じて逐次フラッシュメモリにデータを書き込む従来の技術に比べて、操作性を改善でき、追記用の記憶エリアも不要となり、バックアップ用のメモリの容量およびデータを書き込むための時間を少なくできるとともに、電源オフや電圧低下のときには自動的にデータのバックアップができる。

【0053】

また、上記実施形態によれば、CPU1は、RAM5のSetupParam、ToneParam、SeqDataのデータおよびKeywordを、フラッシュメモリ6の指定した記憶エリア（例えば、BlockA）に書き込み、Keywordが有効な場合に指定した記憶エリアであるBlockAのSetupParam、ToneParam、SeqDataのデータを読み出して、RAM5に書き込み、Keywordが無効である場合には、ROM4のデフォルトのデータすなわち、工場出荷時のデータを読み込むので、RAM5からフラッシュメモリ6に転送したSetupParam、ToneParam、SeqDataのデータが正常である場合に、そのデータをRAM5に復帰させることにより、データ転送の誤りを防止することができる。

【0054】

また、上記実施形態によれば、CPU1は、メインルーチンの処理とは別システムのバックグラウンドの処理でフラッシュメモリ6の記憶エリアのデータを消去するので、多くの時間を必要とするデータ消去処理によって、メインルーチンの処理が制限されることがない。

【0055】

また、上記実施形態によれば、CPU1は、フラッシュメモリ6の記憶エリアのデータを消去中において、フラッシュメモリ6へのアクセスが発生したときには、そのデータ消去を中断し、そのアクセスが終了したときにはデータ消去を再開するので、フラッシュメモリ6のデータ消去中に、鍵盤2が押鍵されてノートオンコマンドによる発音処理を行なう場合には、データ消去を中断して、フラッシュメモリ6のWaveDataの読み出しを可能にして発音処理を優先させ、音切れやノイズの発生を防止できる。

【0056】

また、上記実施形態によれば、CPU1は、電源電圧監視部8によって検出された電圧が過渡状態から定常状態に変化したときから、30秒が経過した後に、フラッシュメモリ6のデータを消去するので、ユーザが誤って電源をオフにした後、すぐに電源をオンにするような事態が発生しても、その短い電源オフの期間にフラッシュメモリ6のデータを消去しないので、誤操作のためにデータが消去されるのを防止できる。

【0057】

また、上記実施形態によれば、CPU1は、フラッシュメモリ6の指定した記憶エリアに対するデータを書き込みが完了した後に、電源の供給停止処理を行なうので、確実にデータのバックアップができる。

【0058】

また、上記実施形態によれば、CPU1は、操作に応じて電源の供給および供給停止を指示するスイッチ部3の電源スイッチから供給停止の指示を受けたときには、電源電圧監視部8による電圧降下の検出を待つことなく、フラッシュメモリ6における2つの記憶エリアであるBlockAおよびBlockBの中から、データが消去されている方の記憶エリアを指定して、RAM5のデータを読み出して、その指定した記憶エリアに書き込むので、データ書き込みの時間に十分な余裕をもつことにより、確実なデータ書き込みを行なえる。

【0059】

また、上記実施形態によれば、RAM5とフラッシュメモリ6との間においてCPU1が読み出しおよび書き込みを行なうデータは、楽音信号の発生に関与する機器基本設定のデータSetupParam、音色設定のデータToneParam、自動演奏のシーケンスデータSeqDataであるので、従来の電子鍵盤機器のように操作に応じて逐次フラッシュメモリにデータを書き込む場合に比べて、操作性を改善でき、追記用の記憶エリアも不要となり、バックアップ用のメモリの容量およびデータを書き込むための時間を少なくできるとともに、電源オフや電圧低下のときには自動的にデータのバックアップができる。したがって、電子鍵盤機器の安価を図り、小型軽量化を実現できる。

【0060】

なお、上記実施形態においては、データをバックアップするために、フラッシュメモリ6にBlockAおよびBlockBの2つの記憶エリアを設けた例を説明したが、実施形

態の変形例として、3つ以上の複数の記憶エリアを設ける構成にしてもよい。このような構成によれば、前回の電源オフ時だけでなく、それ以前の電源オフ時のバックアップも保持できるので、CPU1は、必要に応じてデータを読み出す記憶エリアを選択することができる。

#### 【0061】

上記実施形態においては、図1のROM4にあらかじめ記憶されているデータ処理のプログラムをCPU1が実行する構成のデータ処理装置について説明したが、FD（フレキシブルディスク）、CD-ROMなどの外部記憶媒体に記憶されているデータ処理のプログラムや、インターネットなどの通信網を介してダウンロードされるデータ処理のプログラムを、パソコンなどの汎用の情報処理装置にインストールして実行することも可能である。この場合には、プログラムの発明を構成する。

#### 【0062】

すなわち、本発明のデータ処理のプログラムは、供給される電源の電圧が所定範囲の定常状態であるか又は所定範囲より低い過渡状態であるかを検出する第1のステップと、第1のステップによって検出された電圧が定常状態から過渡状態に変化する直前には電源の電圧が定常状態のときにデータの正常な書き込みおよび読み出しが可能な第1の記憶手段（RAM5）のデータを読み出して電源の電圧の状態にかかわらず書き込まれているデータを保持することが可能な複数の記憶エリアを有する第2の記憶手段（フラッシュメモリ6）においてデータが消去されている記憶エリアを指定して当該指定した記憶エリアに書き込む第2のステップと、第1のステップによって検出された電圧が過渡状態から定常状態に変化した直後には指定した記憶エリアのデータを読み出して再び第1の記憶手段に書き込む第3のステップと、第1のステップによって検出された電圧が過渡状態から定常状態に変化した後に第2の記憶手段において第2のステップによって指定された記憶エリアとは異なる記憶エリアのデータを消去する第4のステップとを実行する。

#### 【0063】

また、上記実施形態においては、電子鍵盤機器を例にとってデータ処理装置の発明を説明したが、本発明の適用範囲は電子鍵盤機器に限定するものではない。パソコン、ワークステーション、メインフレームのコンピュータ、産業機器、計測機器などのように、データを処理するすべてのデータ処理装置にも適用できることは明らかである。

#### 【0064】

##### 【発明の効果】

本発明によれば、電源電圧が定常状態から低下する直前には、RAMなどの第1の記憶手段のデータを読み出して、フラッシュメモリなどの第2の記憶手段の複数の記憶エリアの中から指定した記憶エリアに書き込み、電源電圧が定常状態に上昇した直後には、指定した記憶エリアのデータを読み出して再び第1の記憶手段に書き込み、指定した記憶エリアとは異なる記憶エリアのデータを消去するので、バックアップ用のメモリの容量およびデータを書き込むための時間を少なくできるとともに、電源オフや電圧低下のときには自動的にデータのバックアップができるという効果が得られる。

##### 【図面の簡単な説明】

【図1】本発明の実施形態における電子鍵盤機器のシステム構成を示すブロック図。

【図2】図1におけるフラッシュメモリの記憶エリアの構成、および、各記憶エリアに記憶されるデータを示す図。

【図3】CPUのメインルーチンのフローチャート。

【図4】メインルーチンにおける初期化処理のフローチャート。

【図5】フラッシュメモリ制御タイマ処理のフローチャート。

【図6】図5のフラッシュメモリ制御タイマ処理における電源オフ準備処理のフローチャート。

【図7】図5のフラッシュメモリ制御タイマ処理における消去処理のフローチャート。

【図8】図5のフラッシュメモリ制御タイマ処理における書き込み処理のフローチャート。

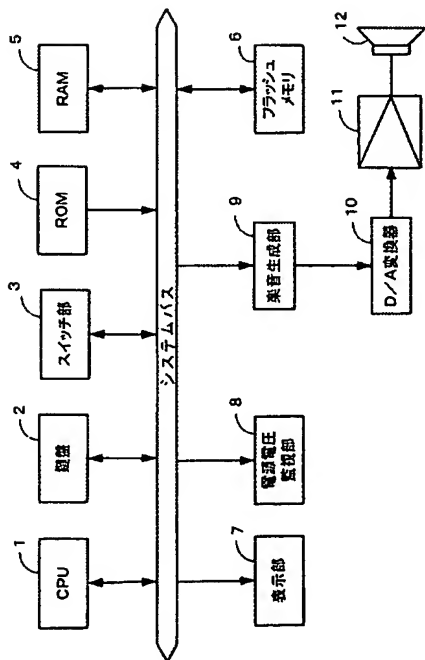
【図 9】 図 3 のメインルーチンにおける電源オフ処理のフローチャート。

【図 10】 図 3 のメインルーチンにおける鍵盤処理のフローチャート。

【符号の説明】

- 1 CPU
- 2 鍵盤
- 3 スイッチ部
- 4 ROM
- 5 RAM
- 6 フラッシュメモリ
- 7 表示部
- 8 電源電圧監視部
- 9 楽音生成部
- 10 D/A変換器
- 11 アンプ
- 12 スピーカ

【図 1】

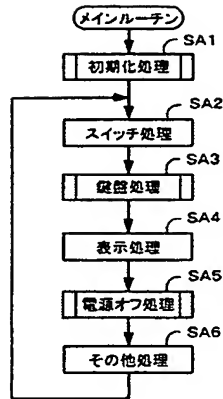


【図 2】

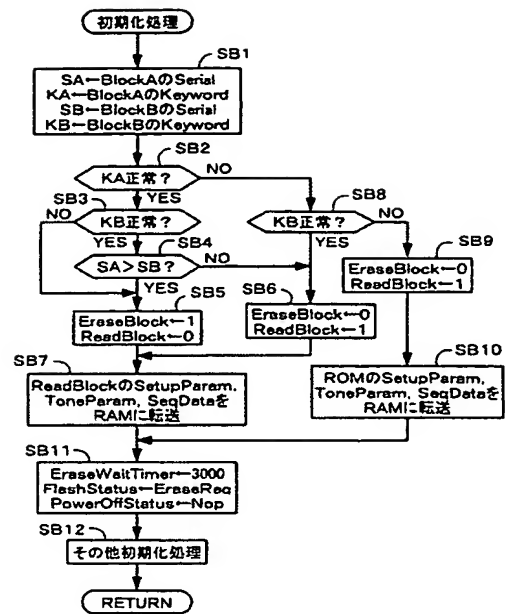
SetupParam	BlockA
ToneParam	
SeqData	
Serial Keyword	
SetupParam	BlockB
ToneParam	
SeqData	
Serial Keyword	
WaveData	WaveBlock



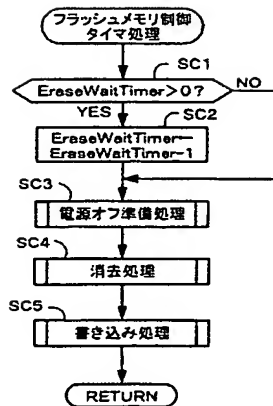
【図 3】



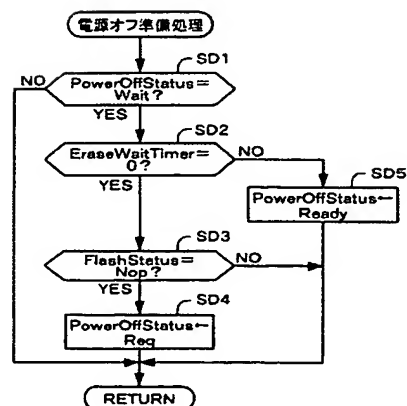
【図 4】



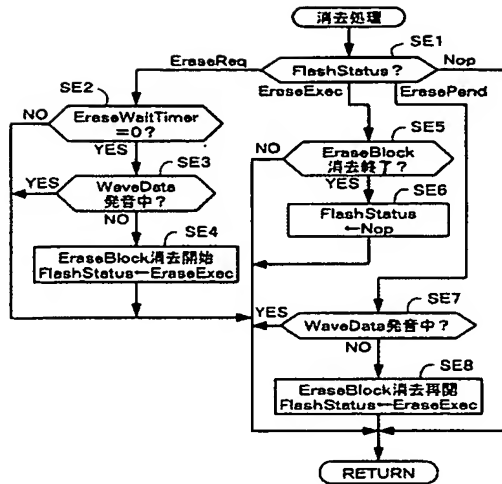
【図 5】



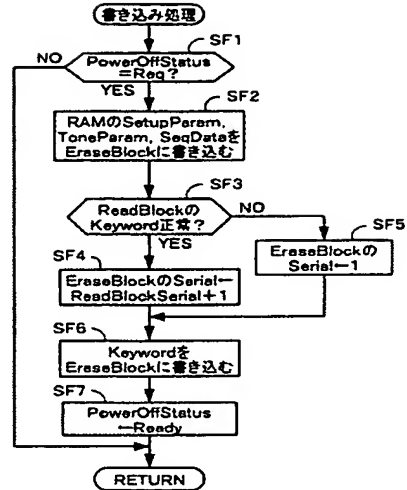
【図 6】



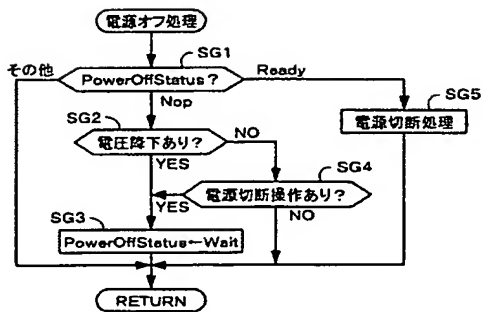
【図 7】



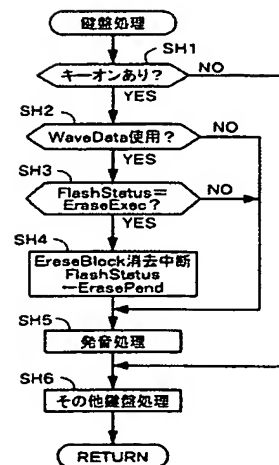
【図 8】



【図 9】



【図 10】



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-312891

(43)Date of publication of application : 09.11.2001

(51)Int.Cl.

G11C 16/02  
G06F 12/02  
G06F 12/16

(21)Application number : 2000-132871

(71)Applicant : HITACHI LTD

(22)Date of filing : 27.04.2000

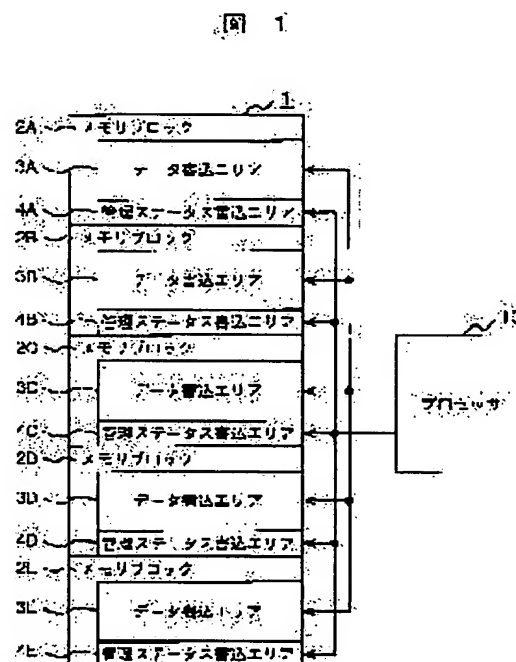
(72)Inventor : MITOMI YUTAKA  
SHIBUYA SATOSHI

## (54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor storage device in which write-in is made not to be biased to a specific memory block and disappearance of data can be prevented even if processing is interrupted during write-in of data.

SOLUTION: This device is a block erasing type flash memory 1, has data write-in area 3A-3E and control status write-in area 4A-4E in memory blocks 2A-2E, write-in data specific data ID, an erasure counter indicating the number of times of erasures of a data write-in memory block and a write-in status indicating a time sequential order of write-in data with the same ID are written in the area 4A-4E. When new data is written by a processor 10, after a memory block in which write-in status indicates possibility of write-in and the erasure counter indicates the minimum is erased, new data and control status are written, and the control status including the same data ID in the other memory block is updated.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-312891

(P 2001-312891 A)

(43) 公開日 平成13年11月9日 (2001. 11. 9)

(51) Int. Cl. 7	識別記号	F I	テモト* (参考)
G 1 1 C 16/02		G 0 6 F 12/02	5 1 0 A 5B018
G 0 6 F 12/02	5 1 0	12/16	3 4 0 P 5B025
12/16	3 4 0	G 1 1 C 17/00	6 0 1 C 5B060
			6 0 1 B
			6 0 1 E

審査請求 未請求 請求項の数11 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2000-132871 (P2000-132871)

(22) 出願日 平成12年4月27日 (2000. 4. 27)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 見富 裕

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所デジタルメディアシステム事業部内

(72) 発明者 渋谷 敏

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所デジタルメディアシステム事業部内

(74) 代理人 100068504

弁理士 小川 勝男 (外2名)

最終頁に続く

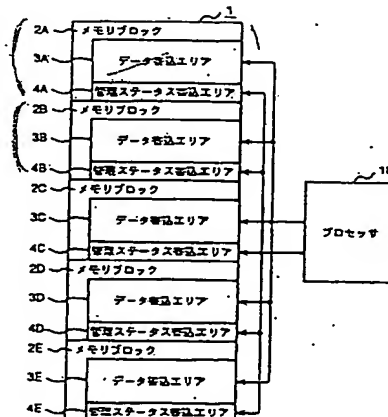
(54) 【発明の名称】 半導体メモリ装置

(57) 【要約】

【課題】 書き込みが特定のメモリブロックに偏らないようにし且つデータの書き込み中に処理が中断してもデータの消失を防止することができる半導体メモリ装置を提供する。

【解決手段】 ブロック消去型フラッシュメモリ1で、メモリブロック2A~2Eに、データ書き込みエリア3A~3Eと管理ステータス書き込みエリア4A~4Eを有し、エリア4A~4Eに、書き込データ特定データIDとデータ書き込みメモリブロックの消去回数を示す消去カウンタと同一データIDで書き込データの時系列的順番を示す書き込みステータスとが書き込まれ、プロセッサ10で新たなデータを書き込む際に、書き込みステータスが書き込み可能を示し且つ消去カウンタが最小を示すメモリブロックを消去した後、新たなデータ及び管理ステータスを書き込み、他のメモリブロックの内の同一データIDを含む管理ステータスを更新する。

図 1



## 【特許請求の範囲】

【請求項 1】 消去単位のメモリブロックを複数有し、各メモリブロックにデータ書き込みエリアのほか管理ステータス書き込みエリアを有し、各管理ステータス書き込みエリアに、前記データ書き込みエリアに書き込むデータを特定するデータ ID と、データを消去するメモリブロックの消去回数を示す消去カウンタと、同一データ ID において書き込まれたデータの時系列的順番を示す書き込みステータスとが管理ステータスとして書き込まれるブロック消去型フラッシュメモリと、

新たなデータを消去する際に、前記複数のメモリブロックの内、前記管理ステータスにおいて前記書き込みステータスが書き込み可能を示し且つ前記消去カウンタが最小を示すメモリブロックを、消去した後に、そのメモリブロックに対して新たなデータ及び管理ステータスを書き込み、他のメモリブロックの内の同一データ ID を含む管理ステータスを更新するプロセッサとを備えてなることを特徴とする半導体メモリ装置。

【請求項 2】 前記書き込みステータスが、初期状態、書き込み不可状態、書き込み可能状態のいずれかの状態を示すことを特徴とする請求項 1 記載の半導体メモリ装置。

【請求項 3】 前記プロセッサが新たなデータを消去する際に、書き込みを行うメモリブロックの書き込みステータスは書き込み不可状態に更新され、かつ書き込みを行う同一のデータ ID を示すメモリブロックの書き込みステータスは書き込み可能状態に更新されることを特徴とする請求項 1 記載の半導体メモリ装置。

【請求項 4】 前記書き込みステータスの更新は、まず書き込みを行うメモリブロックに対して行われ、その後同一データ ID を示すメモリブロックに対して行われることを特徴とする請求項 1 記載の半導体メモリ装置。

【請求項 5】 前記書き込みステータスは、メモリブロックが消去された状態を初期状態とし、その状態がビットが 1 状態である場合は書き込み不可状態を少なくとも 1 つ以上のビットが 0 である状態で示し、書き込み可能状態は書き込み不可状態に 1 つ以上のビット 0 を付け加えた状態で示し、また消去された状態がビット 0 状態である場合は、書き込み不可状態を少なくとも 1 つ以上のビットが 1 した状態で示し、書き込み可能状態は書き込み不可状態に 1 つ以上ビット 1 を付け加えた状態で示すことを特徴とする請求項 2 記載の半導体メモリ装置。

【請求項 6】 新たな書き込みを行う際に行われる同一データ ID を示す書き込みステータスの更新は、該当メモリブロックの消去をすることなく行われることを特徴とする請求項 3 に記載の半導体メモリ装置。

【請求項 7】 前記プロセッサが新たなデータを消去する際は該当メモリブロックの消去後、管理ステータスの書き込みに先立ち実データの書き込みを行うことを特徴とする請求項 1 記載の半導体メモリ装置。

【請求項 8】 前記管理ステータスの更新は、その内の書

込みステータスの更新が最後に行われることを特徴とする請求項 7 記載の半導体メモリ装置。

【請求項 9】 前記プロセッサがデータを消去する際、前記消去カウンタを定数増分することを特徴とする請求項 1 記載の半導体メモリ装置。

【請求項 10】 前記プロセッサがデータを消去する際に、該当データ ID が一致しかつ書き込みステータスが書き込み不可状態であるメモリブロックから読み出し、また該当するメモリブロックがない場合は該当データ ID が一致し書き込みステータスが書き込み可能状態を示すメモリブロックから読み出し、またここで書き込み可能状態を示すメモリブロックが複数存在する場合はもっとも消去カウンタが最大を示すメモリブロックから読み出すことを特徴とする請求項 1 記載の半導体メモリ装置。

【請求項 11】 前記書き込みステータスを該当メモリブロックに対するデータの書き込みが正常に完了したことを示すことに定義したことを特徴とする請求項 1 記載の半導体メモリ装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ブロック単位でデータの消去、書き込みを行うブロック消去型フラッシュメモリの書き込み及び読み出しを行う半導体メモリ装置に関する。

【0002】

【従来の技術】 液晶プロジェクタ等の組み込み用機器におけるスキャンコンバータの調整データ処理装置などでは、処理したデータを記憶しておく必要から、半導体メモリが一般に使用されている。半導体メモリはハードディスクなどに代表される磁気ディスク装置に比べ駆動系を持たないため、小型化、低消費電力化、動作速度の高速化およびその信頼性の面において極めて有利である。しかしながら従来から使用されている DRAM や SRAM 等の半導体メモリは常にリフレッシュ動作や、電池等によるバックアップが必要であり、常に電源を供給したり電池をメンテナンスする必要があるなど課題が多かった。これら問題点を解消する半導体メモリとして電池を必要としない EEPROM があるが、その容量とコストの面で課題があった。

【0003】 これら半導体メモリの課題を解消するものとして近年フラッシュメモリが注目されている。フラッシュメモリは EEPROM と同様電氣的にデータの書き換えが可能であり、データの保持には電池等による電氣的バックアップ手段を必要とせず、かつ EEPROM に比べ低コストで大容量化が可能な半導体メモリである。

【0004】 フラッシュメモリはその性質上、データを消去する際はそれに先立ち、データを消去するエリアを含む連続したメモリ空間で構成されたメモリブロックごと消去されている必要がある。フラッシュメモリは消去に伴い劣化するので、現在のところその消去回数には上限が

規定され、それを超えて消去を行った場合、データの書き込みが正常に行われるかは保証されていない。

【0005】またフラッシュメモリの消去処理には通常数十ms以上の時間がかかってしまう。したがってフラッシュメモリへ書き込む際は、メモリブロックの消去を行った後、データを書き込む必要からその書き込み処理中における電源OFF等による処理の中断におけるデータの信頼性を保つために特別な処理を講じる必要があることはいうまでもない。この種の書き込み方法に関連するものとしては、例えば、特開平10-124403号公報が挙げられる。 退避メモリ。

【0006】

【発明が解決しようとする課題】ところで、ブロック消去型フラッシュメモリにおいてかかる従来の書き込み方法によると、書き込むべきデータと書き込み先であるメモリブロックが一義的に固定化されており、ある特定のデータが頻繁に更新されると、それに対応した書き込み先メモリブロックの消去および書き込みが頻繁に行われることになり、ついてはそのメモリブロックが他のメモリブロックよりも早く使用限度に達してしまう。これは他のメモリブロックがまだ使用可能であるにもかかわらずフラッシュメモリを交換する必要が生じることを意味する。

【0007】またフラッシュメモリは一度にメモリブロックを最小単位としたデータの消去を行うため、一連の書き込み動作が完了するまでブロック消去型フラッシュメモリ上に書き換え前の古いデータと書き換え後の新たなデータのいずれも存在しない状態になってしまい、かつデータの消去に時間がかかるため、かかる一連の書き込み動作中に電源が切られたなどしてデータの書き込み作業が中断した場合には、ブロック消去型フラッシュメモリ上でデータの一部分が存在しない状態になってしまうという課題がある。

【0008】このような状態でブロック消去型フラッシュメモリからデータを読み出した場合、得られるデータは一部を消失した異常なものとなり、システムの稼働に混乱をきたすことになる。一方ブロック消去型フラッシュメモリ上に一義的に割り当てた退避ブロックに書き込み前の古いデータを新しいデータの書き込みに先立ち書き込む場合は、退避ブロックと該当書き込みブロックの2ブロックを消去する必要があるため、一連の書き込み処理が長くなる課題がある。

【0009】本発明の目的は、書き込みが特定のメモリブロックに偏らないようにし且つデータの書き込み中に処理が中断してもデータの消失を防止することができる半導体メモリ装置を提供することにある。

【0010】

【課題を解決するための手段】本発明は、消去単位のメモリブロックを複数有し、各メモリブロックにデータ書き込みエリアのほかに管理ステータス書き込みエリアを有し、各管理ステータス書き込みエリアに、前記データ書き

みエリアに書き込むデータを特定するデータIDと、データを書き込むメモリブロックの消去回数を示す消去カウンタと、同一データIDにおいて書き込まれたデータの時系列的順番を示す書き込みステータスとが管理ステータスとして書き込まれるブロック消去型フラッシュメモリと、新たなデータを書き込む際に、前記複数のメモリブロックの内、前記管理ステータスにおいて前記書き込みステータスが書き込み可能を示し且つ前記消去カウンタが最小を示すメモリブロックを、消去した後に、そのメモリブロックに対して新たなデータ及び管理ステータスを書き込み、他のメモリブロックの内の同一データIDを含む管理ステータスを更新するプロセッサとを備えてなることを特徴とする半導体メモリ装置である。

【0011】また、本発明は、前記書き込みステータスが、初期状態、書き込み不可状態、書き込み可能状態のいずれかの状態を示すことを特徴とする半導体メモリ装置である。

【0012】また、本発明は、前記プロセッサが新たなデータを書き込む際に、書き込みを行うメモリブロックの書き込みステータスは書き込み不可状態に更新され、かつ書き込みを行う同一のデータIDを示すメモリブロックの書き込みステータスは書き込み可能状態に更新されることを特徴とする半導体メモリ装置である。

【0013】また、本発明は、前記書き込みステータスの更新は、まず書き込みを行うメモリブロックに対して行われ、その後同一データIDを示すメモリブロックに対して行われることを特徴とする半導体メモリ装置である。

【0014】また、本発明は、前記書き込みステータスは、メモリブロックが消去された状態を初期状態とし、その状態がビットが1状態である場合は書き込み不可状態を少なくとも1つ以上のビットが0である状態で示し、書き込み可能状態は書き込み不可状態に1つ以上のビット0を付け加えた状態で示し、また消去された状態がビット0状態である場合は、書き込み不可状態を少なくとも1つ以上のビットが1した状態で示し、書き込み可能状態は書き込み不可状態に1つ以上ビット1を付け加えた状態で示すことを特徴とする半導体メモリ装置である。

【0015】また、本発明は、新たな書き込みを行う際に行われる同一データIDを示す書き込みステータスの更新は、該当メモリブロックの消去をすることなく行われることを特徴とする半導体メモリ装置である。

【0016】また、本発明は、前記プロセッサが新たなデータを書き込む際は該当メモリブロックの消去後、管理ステータスの書き込みに先立ち旧データの書き込みを行うことを特徴とする半導体メモリ装置である。

【0017】また、本発明は、前記管理ステータスの更新は、その内の書き込みステータスの更新が最後に行われることを特徴とする半導体メモリ装置である。

【0018】また、本発明は、前記プロセッサがデータを書き込む際、前記消去カウンタを定数増分することを特

徴とする半導体メモリ装置である。

【0019】また、本発明は、前記プロセッサがデータを読み出す際に、該当データIDが一致しかつ書き込みステータスが書き込み不可状態であるメモリブロックから読出し、また該当するメモリブロックがない場合は該当データIDが一致し書き込みステータスが書き込み可能状態を示すメモリブロックから読み出し、またここで書き込み可能状態を示すメモリブロックが複数存在する場合はもっとも消去カウンタが最大を示すメモリブロックから読出すことを特徴とする半導体メモリ装置である。

【0020】また、本発明は、前記書き込みステータスを該当メモリブロックに対するデータの書き込みが正常に完了したことを示すことに定義したことを特徴とする半導体メモリ装置である。

【0021】

【発明の実施の形態】図1は本発明による半導体メモリ装置の実施の形態を示す構成図である。図1において、1はブロック消去型フラッシュメモリ、2A～2Eはメモリブロック、3A～3Eはデータ書き込みエリア、4A～4Eは管理ステータス書き込みエリア、10はプロセッサ（処理器）である。ブロック消去型フラッシュメモリ1はその最小消去単位によって分割されたメモリブロック2A～2Eによって構成されている。またメモリブロック2A～2Eはそれぞれデータ書き込みエリア3A～3Eと管理ステータス書き込みエリア4A～4Eとにより構成されている。プロセッサ10はメモリブロック2A～2Eのデータ書き込みエリア3A～3Eと管理ステータス書き込みエリア4A～4Eとに各々データと管理ステータスを書き込む且つ読出すプロセッサである。

【0022】図2は図1の管理ステータス書き込みエリア4A～4Eの内容を示す図である。5A～5EはデータID書き込みエリア、6A～6Eは消去カウンタ書き込みエリア、7A～7Eは書き込みステータス書き込みエリアである。管理ステータス書き込みエリア4A～4Eは、各々、データID書き込みエリア5A～5Eと消去カウンタ書き込みエリア6A～6E及び書き込みステータス書き込みエリア7A～7Eとによって構成されている。

【0023】ブロック消去型フラッシュメモリに書き込みを行うデータは全てデータ書き込みエリアの容量を最大値とするグループに分割され、それぞれデータを特定するための固有なデータIDによって管理されている。データID書き込みエリア5A～5Eには、データ書き込みエリア3A～3Eに書き込まれているデータを特定するためのデータIDが書き込まれる。

【0024】消去カウンタ6A～6Eは各々そのメモリブロック2A～2E固有のデータであり、それぞれメモリブロックの消去された回数が書き込まれる。

【0025】書き込みステータス書き込みエリア7には、データ書き込みエリア3に書き込まれているデータにおいて、ブロック消去型フラッシュメモリ1上の書き込まれた同一

データID間で、図3に示すように、書き込みステータスの時系列的順番を示す書き込みステータスが、消去されたままの状態である初期状態8-1と、最新のデータであり消去が許されないことを示す書き込み不可状態8-2と、古いデータであり消去してもよい書き込み可能状態8-3との3つの状態のいずれかで書き込まれる。

【0026】図4は、図1において、ブロック消去型フラッシュメモリ1へのプロセッサ10によるデータおよび管理ステータスの書き込みのフローチャートを示す図である。

【0027】まずデータを書き込むべき書き込み先メモリブロックを検索する（ステップ401）。この書き込み先メモリブロックの検索について図5を用いて説明する。

【0028】図5において、書き込み先メモリブロックの検索は、まずチェックを行うメモリブロック番号（M-CNT）と書き込み先候補メモリブロック（W-BLK）の初期化を行い、比較消去回数（E-CMP）をブロック消去型フラッシュメモリ1における最大消去許容回数（E-MAX）に設定する（ステップ501）。そしてチェックメモリブロック番号（M-CNT）の示すメモリブロックの書き込みステータス7A～7Eをチェックする（ステップ502）。書き込みステータス7A～7Eが書き込み不可状態でないかどうかを判定し（ステップ503）、書き込み不可状態でない場合は消去カウンタのチェックを行う（ステップ504）。

【0029】チェック値が比較消去回数（E-CMP）より小さい値を示すかどうかを判定し（ステップ505）、比較消去回数（E-CMP）より小さい値を示す場合は、比較消去回数（E-CMP）をチェック値に、また書き込み先候補メモリブロック（W-BLK）をチェックメモリブロック番号（M-CNT）に替換える（ステップ506）。そして、全部のメモリブロックにおいてチェック済であるかどうかを判定する（ステップ507）。チェック済でない場合はチェックメモリブロック番号（M-CNT）を更新し（ステップ508）、ステップ502に戻り、ステップ502～ステップ507を全部のメモリブロックにおいて繰り返し行う。ここで全メモリブロックに対するチェックが終了した時点で、書き込み先候補メモリブロック（W-BLK）には、参照されることのないデータ、あるいはデータが書き込まれていない、かつ消去された回数が最も少なくメモリブロックが登録されることになる。また比較消去回数（E-CMP）は、書き込み先候補メモリブロック（W-BLK）の消去回数を示している。その後、比較消去回数（E-CMP）と最大消去許容回数（E-MAX）を比較して、比較消去回数（E-CMP）が、最大消去許容回数（E-MAX）になったかどうかを判定し（ステップ509）、なった場合は、新たに書き込めるメモリブロックがないと判断し、エラー処理を行う（ステップ510）。

【0030】次に、図4に戻り、書き込み先候補メモリブロック(W-BLK)で示すメモリブロックの消去処理を行う(ステップ402)。この処理を図6を用いて説明する。

【0031】図6において、メモリブロックの消去処理は、消去処理に先立ちメモリブロックに登録されている消去カウンタ値より該当メモリブロックの消去回数を読出し、退避消去回数(E-CNT)として退避し(ステップ601)、その後消去処理を実行する(ステップ602)。

【0032】このように常に参照されることのないデータを含みかつ消去回数が少ないメモリブロックに対して消去およびデータの書き込みを行うので、書き込むべきメモリブロックが動的に変化し、書き込みが発生するメモリブロックが偏ることがない。

【0033】次に、図4に戻り、ステップ402で消去を行ったメモリブロックに対し、データの書き込みを、管理ステータスの書き込みに先立ち行う(ステップ403)。その後、管理ステータスであるデータIDの書き込みを行う(ステップ404)。また管理ステータスである消去回数を示す消去カウンタの書き込みを行う(ステップ405)。

【0034】ここで消去カウンタの書き込みについて図7を用いて説明する。まず図6のステップ601で得られた退避消去回数(E-CNT)をチェックする(ステップ701)。そしてチェック値が本来取り得ない不正値かどうかを判定する(ステップ702)。不正値である場合は、書き込み処理が中断し正常な消去カウンタ値が書き込めなかったとみなし、該当メモリブロックの消去回数の類推を行う。まず退避消去回数(E-CNT)を最小値(E-MIN)にし、チェックメモリブロック番号(M-CNT)を初期化する(ステップ703)。

【0035】各メモリブロックの消去カウンタをチェックし(ステップ704)、チェック値が退避消去回数(E-CNT)より大きいかどうかを判定し(ステップ705)、大きい場合は、退避消去回数(E-CNT)をチェック値に替換える(ステップ706)。そして、全部のメモリブロックにおいてチェック済であるかどうかを判定する(ステップ707)。チェック済でない場合はチェックメモリブロック番号(M-CNT)を更新し(ステップ708)、ステップ704に戻り、ステップ704～ステップ708を全部のメモリブロックにおいて繰り返し行い、チェック値の最大値を退避消去カウンタ(E-CNT)に登録する。退避消去カウンタが正常あるいは類推が終了した段階で退避消去カウンタ(E-CNT)を規定数プラスして(ステップ709)、消去カウンタに退避消去カウンタ(E-CNT)を書き込む(ステップ710)。ここで消去カウンタが不正値である場合、各メモリブロックに登録されている消去カウンタのうち最大値を使用することで、本来の消去回数と消

去カウンタとの相違による消去不良を極力避けることが可能となる。

【0036】次に、図4に戻り、消去カウンタの書き込み後、書き込みステータスを初期状態から書き込み不可状態へ更新を行う(ステップ406)。この書き込みステータスは、同一データID間での時系列的順番を示すとともに、該当メモリブロックに対する一連のデータ書き込みが正常に終了したことを示すフラグの役割を持っている。

【0037】次に同一データIDを含むメモリブロックの書き込みステータスの更新を行う(ステップ407)。図8を用いて説明すると、まずチェックを行うメモリブロック番号(M-CNT)を初期化し(ステップ801)、書き込み先メモリブロックがチェックを行うブロックでないかどうかを判定し(ステップ802)、ない場合は、登録されているデータIDをチェックする(ステップ803)。チェック値がデータ書き込みを行ったデータIDと一致しているかどうかを判定し(ステップ804)、一致している場合は、書き込みステータスの書き込みを行い、書き込みステータスを書き込み不可状態から書き込み可能状態への更新を行う(ステップ805、806、807)。そして、全部のメモリブロックにおいてチェック済であるかどうかを判定する(ステップ808)。チェック済でない場合はチェックメモリブロック番号(M-CNT)を更新し(ステップ809)、ステップ802に戻り、ステップ802～ステップ809を全部のメモリブロックにおいて繰り返し行う。

【0038】これにより書き込みステータスはそのメモリブロックに最新のデータが書き込まれている場合は書き込み不可状態、古いデータが書き込まれている場合は書き込み可能状態を示すことになる。

【0039】ここで上記書き込みステータスの書き込みステップ805、806、807を、図3を用いて説明する。

【0040】まずステップ805で、プロセッサのレジスタFに書き込みステータスのリードを書き込み、メモリブロックが消去されると、そのメモリブロック内全てのビットが"1"になることから、書き込みステータスは、図3の初期状態8-1は全ビット"1"になる。フラッシュメモリは消去後、書き込みに対してはビットを0にする方向でしか操作ができず、ビットを0から1に書き換える際はメモリブロックを消去する必要がある。

【0041】次に、ステップ806で、最新のデータを示す書き込み不可状態はビットを1つ0にして、図3の書き込み不可状態8-2とし、書き換え可能状態は書き込み不可状態に対し更に0であるビットを増やして、図3の書き込み不可状態8-3とすることで、メモリブロックの消去をすることなしで書き込みステータスを更新することができる。

【0042】このようにブロック消去型フラッシュメモリには消去処理をしても最新のデータかその直前のデー



タが必ず存在することになりデータを消失することがない。

【0043】また書き込みステータスの更新に伴う消去を行わずにすむことから、一連のデータ書き込み時間を短時間で済ませることができる。

【0044】図9は、図1において、ブロック消去型フラッシュメモリ1からのプロセッサ10によるデータおよび管理ステータスの読出しのフローチャートを示す図である。

【0045】まず、チェックを行うメモリブロック番号と読出しメモリブロックおよび比較値の初期化を行う(ステップ901)。次にメモリブロックのデータIDをチェックする(ステップ902)。そして、各メモリブロックのデータIDが読み出したいデータIDと一致するかどうかを判定する(ステップ903)。一致する場合はそのメモリブロックの書き込みステータスをチェックし(ステップ904)、書き込み不可状態であるかどうかを判定する(ステップ905)。

【0046】書き込みステータスが書き込み不可状態でない場合は、データの書き込みが正常に終了できなかったことを意味するので、書き込み可能であるかどうかを判定し(ステップ906)、書き込み可能である場合は、消去カウンタをチェックし(ステップ907)、チェック値が比較回数より大きいかどうかを判定し(ステップ908)、大きい場合は、読出しブロック番号をチェックブロック番号に置換え、比較回数を消去チェック値とし(ステップ909)、そして、全部のメモリブロックにおいてチェック済であるかどうかを判定する(ステップ910)。チェック済でない場合はチェックメモリブロック番号を更新し(ステップ911)、ステップ902に戻り、ステップ902～ステップ911を全部のメモリブロックにおいて繰り返し行う。

【0047】また、ステップ905において、書き込みステータスが書き込み不可状態であれば、そのデータIDについては最新のデータであり、かつ正常に書き込みが終了したものとみなし、読出しブロック番号をチェックブロック番号に置換える(ステップ912)。

【0048】これにより、書き込みステータスが書き込み可能状態で示される書き込み直前のデータであるところの読出しブロック番号の示すメモリブロックよりデータを読出す。

【0049】本実施の形態によれば、ブロック消去型フラッシュメモリへのデータ書き込みにおいて、データの書き込み先が比較的消去回数の少ないメモリブロックへ動的

に変化し、かつどの書き込み動作状態においても最新のデータかその直前のデータが必ずブロック消去型フラッシュメモリ上に存在することになる。また一連のデータ書き込みに要する時間を短縮することになる。したがって従来のブロック消去型フラッシュメモリの書き込み方法によるような、書き込み先メモリブロックの偏りや、電源OFF等で書き込み動作が中断した場合のデータの消失、またそれを保証のための書き込み時間の長時間化といった問題を解消することが可能となる。

【0050】

【発明の効果】本発明によれば、書き込みが特定のメモリブロックに偏らないようにし且つデータの書き込み中に処理が中断してもデータの消失を防止することができる半導体メモリ装置を提供することができる。

【図面の簡単な説明】

【図1】本発明による半導体メモリ装置の実施の形態を示す構成図である。

【図2】図1の管理ステータス書き込みエリアの内容を示す図である。

【図3】書き込みステータスの遷移を示す図である。

【図4】図1の書き込みのフローチャートを示す図である。

【図5】図1の書き込みにおける書き込み先メモリブロック検索のフローチャートを示す図である。

【図6】図1の書き込みにおける書き込み先メモリブロックの消去処理のフローチャートを示す図である。

【図7】図1の書き込みにおける書き込み先メモリブロックの消去カウンタの書き込みのフローチャートを示す図である。

【図8】図1の書き込みにおける同一データIDを含む先メモリブロックの書き込みステータス更新のフローチャートを示す図である。

【図9】図1の読出しのフローチャートを示す図である。

【符号の説明】

1…ブロック消去型フラッシュメモリ、2A～2E…メモリブロック、3A～3E…データ書き込みエリア、4A～4E…管理ステータス書き込みエリア、5A～5E…データID書き込みエリア、6A～6E…イレースカウンタ書き込みエリア、7A～7E…書き込みステータス書き込みエリア、8-1…書き込みステータス初期状態、8-2…書き込みステータス書き込み不可状態、8-3…書き込みステータス書き込み可能状態、10…プロセッサ。

【図1】

【図2】

図 1

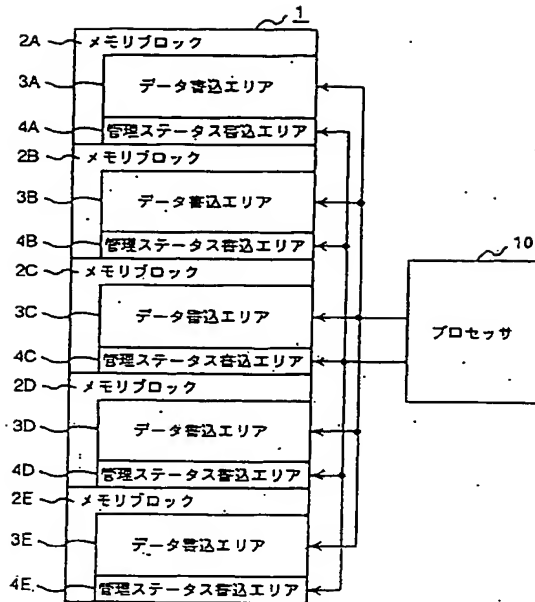
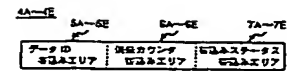
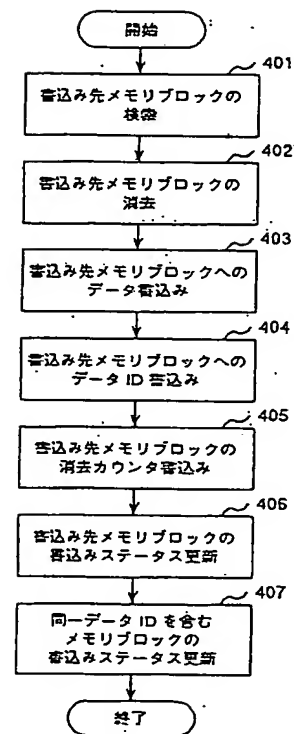


図 2



【図4】

図 4



【図3】

【図6】

図 3

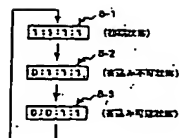
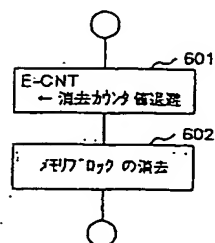
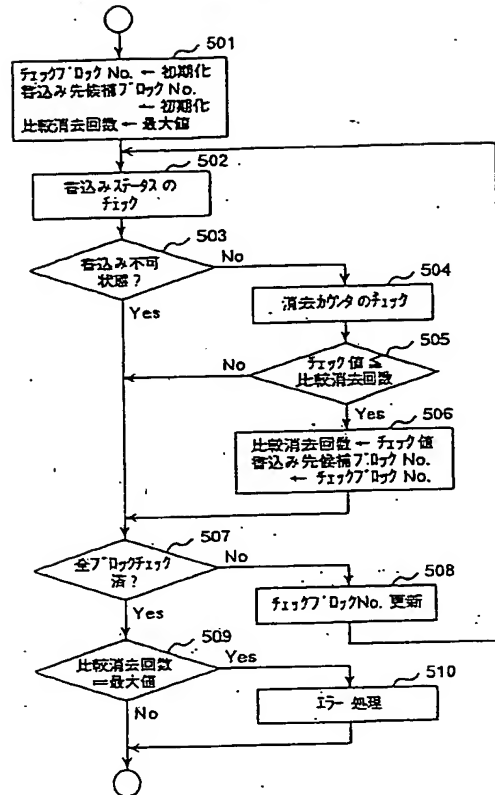


図 6



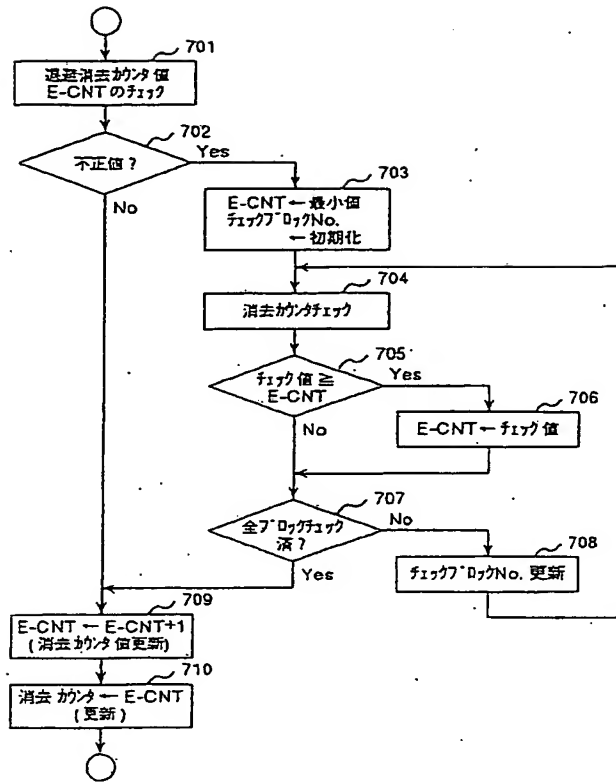
【図5】

図 5



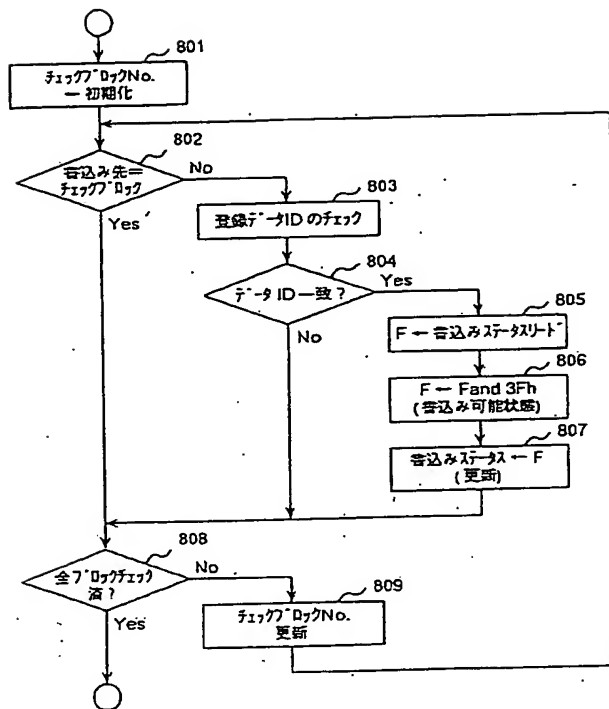
【図7】

図 7



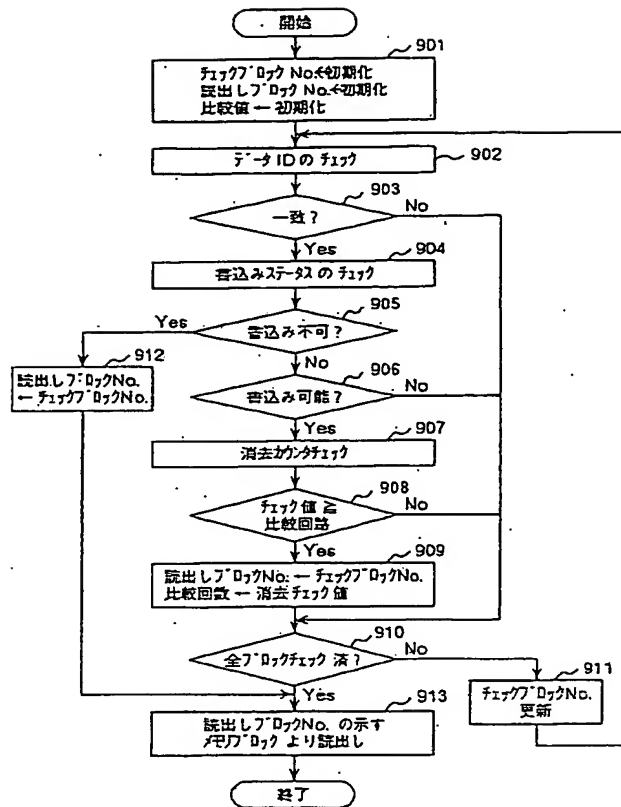
【図 8】

図 8



【図9】

図 9



フロントページの続き

(51) Int. Cl.

識別記号

F I

メモート（参考）

G 1 1 C . 1 7 / 0 0

6 0 1 P

Fターム(参考) 5B018 GA04 HA23 KA15 KA18 MA40  
NA06 PA10 QA15  
5B025 AD04 AD08 AE01 AE05 AE08  
5B060 AA02 AA14 CA11 MM14